

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

**Method and apparatus for calculating delay for logic circuit and method of calculating delay data for delay library**

Patent Number: ☐ US6066177  
Publication date: 2000-05-23  
Inventor(s): HATSUDA TSUGUYASU (JP)  
Applicant(s): MATSUSHITA ELECTRIC IND CO LTD (JP)  
Requested Patent: ☐ JP10124563  
Application Number: US19970917210 19970825  
Priority Number(s): JP19960225435 19960827; JP19970171388 19970627  
IPC Classification: G06F17/50  
EC Classification: G06F17/50C3  
Equivalents:

---

**Abstract**

---

In a delay-power-source-coefficient determining step, a drain saturation current in a P-channel MOSFET is calculated on the basis of specified operating power-source voltage data and of saturation-current parameters such as the mobility of carriers and the thickness of a gate oxide film based on said specified operating power-source voltage data. Thereafter, a ratio of a drain saturation current in the P-channel MOSFET when a reference power-source voltage is applied thereto to the drain saturation current in the P-channel MOSFET when an operating power-source voltage is applied thereto, thereby determining a delay power-source coefficient. Next, in an effective-delay calculating step, effective-delay calculating means multiplies a delay time when the reference power-source voltage calculated by the delay calculating means is applied thereto by the delay power-source coefficient calculated by delay-power-source-coefficient determining means to determine a delay time at the operating power-source voltage.

---

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-124563

(43)公開日 平成10年(1998) 5月15日

(51)Int.Cl.<sup>4</sup>

識別記号

F I

G 0 6 F 17/50

G 0 6 F 15/60

6 6 8 A

H 0 1 L 21/82

H 0 1 L 29/00

29/00

G 0 6 F 15/60

6 6 6 A

H 0 1 L 21/82

W

審査請求 未請求 請求項の数20 O L (全 29 頁)

(21)出願番号 特願平9-171388

(22)出願日 平成9年(1997) 6月27日

(31)優先権主張番号 特願平8-225435

(32)優先日 平8(1996) 8月27日

(33)優先権主張国 日本 (J P)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 初田 次康

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

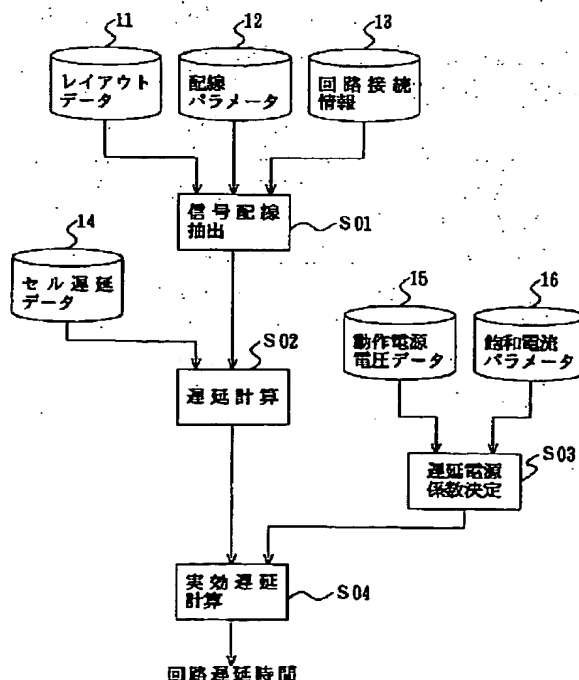
(74)代理人 弁理士 前田 弘 (外2名)

(54)【発明の名称】 論理回路の遅延計算方法、その遅延計算装置及び遅延ライブラリの遅延データ計算方法

(57)【要約】

【課題】 論理回路の遅延時間の電源電圧依存性を容易に且つ解析的に計算し、遅延時間を確実に求めることができるようにする。

【解決手段】 遅延電源係数決定工程S03において、所定の動作電源電圧データ15と該動作電源電圧データ15に基づくキャリアの移動度や酸化膜厚等の飽和電流パラメータ16を基にして、PチャネルMOSFETのドレイン飽和電流 $I_{dsp0}$ を計算した後、基準電源電圧 $V_{dd0}$ が印加されたときのPチャネルMOSFETのドレイン飽和電流 $I_{dsp0}$ との比の値を計算して動作電源電圧 $V_{ddi}$ が印加されたときの遅延電源係数 $K_v$ を決定する。次に、実効遅延計算工程S04において、実効遅延計算手段は、遅延計算手段により算出された基準電源電圧 $V_{dd0}$ が印加されたときの遅延時間と、遅延電源係数決定手段により算出された遅延電源係数 $K_v$ とを乗じることにより動作電源電圧 $V_{ddi}$ における遅延時間を決定する。



## 【特許請求の範囲】

【請求項1】 FETを含む複数の論理素子からなる論理回路のシミュレーションを行なう際に、前記論理回路の電源電圧による信号伝搬時間の遅延を算出する遅延計算方法であって、

第1の電源電圧に対する第2の電源電圧の比の値を電源電圧係数とし、

前記第2の電源電圧が印加されたときの前記FETのドレイン飽和電流に対する前記第1の電源電圧が印加されたときの前記FETのドレイン飽和電流の比の値を電流係数とし、

前記第1の電源電圧が印加されたときの前記論理回路の遅延時間である第1の遅延時間と前記電源電圧係数と前記電流係数との積を算出し、該算出結果を、前記第2の電源電圧が印加されたときの前記論理回路の遅延時間である第2の遅延時間とすることを特徴とする論理回路の遅延計算方法。

【請求項2】 一の論理回路を構成しており、それぞれがFETを含む複数の論理素子からなり、互いに異なる実効電源電圧によって動作する複数の回路ブロックの各実効電源電圧による信号伝搬時間の遅延を算出する論理回路の遅延計算方法であって、

基準電源電圧に対する前記各回路ブロックの電源電圧の比の値である電源電圧係数を算出し、

前記各回路ブロックの実効電源電圧が印加されたときの前記FETのドレイン飽和電流に対する前記基準電源電圧が印加されたときの前記FETのドレイン飽和電流の比の値である電流係数を算出し、

前記基準電源電圧が印加されたときの前記各回路ブロックの遅延時間である基準遅延時間と前記各回路ブロックごとの前記電源電圧係数と前記電流係数との積を算出し、該算出結果を、前記各回路ブロックの遅延時間である実効遅延時間とすることを特徴とする論理回路の遅延計算方法。

【請求項3】 FETを含む複数の論理素子からなる論理回路のシミュレーションを行なう際に、前記論理回路の電源電圧の電圧変動による信号伝搬時間の遅延を算出する遅延計算方法であって、

前記論理回路の消費電流及び電源線の配線寄生素子によって生ずる電圧変動による変動電圧を算出した後、電源端子に印加される基準電源電圧と前記変動電圧との差を求めることにより、前記論理回路に印加される実効的な電源電圧である実効電源電圧を求め、

前記基準電源電圧に対する前記実効電源電圧の比の値である電源電圧係数を算出すると共に、前記実効電源電圧が印加されたときの前記FETのドレイン飽和電流に対する前記基準電源電圧が印加されたときの前記FETのドレイン飽和電流の比の値である電流係数を算出し、

前記基準電源電圧に基づいて算出された前記論理回路の基準となる遅延時間と前記電源電圧係数と前記電流係数

との積を算出し、該算出結果を、前記実効電源電圧が印加されたときの前記論理回路の遅延時間である実効的な遅延時間とすることを特徴とする論理回路の遅延計算方法。

【請求項4】 前記論理回路の消費電流を、前記複数の論理素子のうち、一の動作時刻に合わせて共に動作する特定の論理素子ごとの消費電流の和とし、

前記消費電流の和に基づいて前記特定の論理素子が接続される電源線の電圧変動量を算出し、

前記電源線の電圧変動量を前記変動電圧とすることを特徴とする請求項3に記載の遅延時間計算方法。

【請求項5】 前記FETはPチャネルMOSFETであることを特徴とする請求項1～4のいずれか1項に記載の論理回路の遅延計算方法。

【請求項6】 前記FETのドレイン飽和電流を、電源電圧と前記FETのしきい値電圧との差を所定の係数で累乗し、累乗して得られた値に電流の利得係数を乗じることによって求めることを特徴とする請求項1～4のいずれか1項に記載の論理回路の遅延計算方法。

【請求項7】 FETを含む複数の論理素子からなる論理回路のシミュレーションを行なう際に、前記論理回路の電源電圧による信号伝搬時間の遅延を算出する遅延計算装置であって、

前記論理素子の前記論理回路における配置を決定するレイアウトデータを付与するレイアウトデータ付与手段と、

前記論理回路の接続情報を付与する接続情報付与手段と、

前記論理回路の配線及び前記論理素子の電気特性を決定するプロセス情報を付与するプロセスパラメータ付与手段と、

前記論理素子の遅延データを付与するライブラリデータ付与手段と、

第1の電源電圧に対する第2の電源電圧の比の値である電源電圧係数を決定すると共に、前記第2の電源電圧が印加されたときの前記FETのドレイン飽和電流に対する前記第1の電源電圧が印加されたときの前記FETのドレイン飽和電流の比の値である電流係数を決定する遅延電源係数決定手段と、

前記遅延データ、前記レイアウトデータ、前記プロセス情報及び前記接続情報に基づいて、前記第1の電源電圧が印加されたときの前記論理回路の遅延時間を算出する遅延計算手段と、

前記遅延計算手段が算出した遅延時間と前記電源電圧係数と前記電流係数との積を算出し、該算出結果を、前記第2の電源電圧が印加されたときの前記論理回路の実効的な遅延時間とする実効遅延計算手段とを備えていることを特徴とする論理回路の遅延計算装置。

【請求項8】 前記論理回路は、互いに異なる電源電圧によって動作し、一の論理回路を構成する複数の回路ブ

ロックからなり、

前記論理回路及び前記回路ブロックの各電源電圧情報を付与する電源電圧情報付与手段をさらに備え、

前記遅延電源係数決定手段は、

基準電源電圧に対する前記各回路ブロックの電源電圧の比の値を定義するブロック別電源電圧係数を決定する手段と、

前記各回路ブロックの電源電圧が印加されたときの前記FETのドレイン飽和電流に対する前記基準電源電圧が印加されたときの前記FETのドレイン飽和電流の比の値を定義するブロック別電流係数を決定する手段とを有していることを特徴とする請求項7に記載の論理回路の遅延計算装置。

【請求項9】 FETを含む複数の論理素子からなる論理回路のシミュレーションを行なう際に、前記論理回路の電源電圧の電圧変動による信号伝搬時間の遅延を算出する遅延計算装置であって、

前記論理素子の前記論理回路における配置を決定するレイアウトデータを付与するレイアウトデータ付与手段と、

前記論理回路の接続情報を付与する接続情報付与手段と、

前記論理回路の配線及び前記論理素子の電気特性を決定するプロセス情報を付与するプロセスパラメータ付与手段と、

前記論理素子の遅延データ及び消費電流データを付与するライブラリデータ付与手段と、

前記レイアウトデータ及びプロセスパラメータを用いて信号配線の配線抵抗と配線容量とを抽出する信号配線抽出手段と、

前記レイアウトデータ及びプロセスパラメータを用いて電源端子と前記論理回路とが接続されている電源配線の配線寄生素子を抽出する電源配線寄生素子抽出手段と、

前記信号配線の配線抵抗、配線容量及び消費電流データを用いて前記論理回路の消費電流を算出する消費電流計算手段と、

前記消費電流と前記電源配線の配線寄生素子とを用いて前記電源配線の電圧変動量を算出し、前記電源端子に印加される電源電圧と前記電圧変動量分の電圧との差を求めて実効的な電源電圧である実効電源電圧を算出する実効電源電圧計算手段と、

前記電源電圧に対する前記実効電源電圧の比の値である電源電圧係数を決定すると共に、前記実効電源電圧が印加されたときの前記FETのドレイン飽和電流に対する前記電源電圧が印加されたときの前記FETのドレイン飽和電流の比の値である電流係数を決定する遅延電源係数決定手段と、

前記信号線の配線抵抗及び配線容量と前記論理素子の前記遅延データとを用いて前記電源電圧が印加されたときの遅延時間を算出する遅延計算手段と、

前記遅延計算手段が算出した遅延時間と前記電源電圧係数と前記電流係数との積を算出し、該算出結果を、前記論理回路の実効遅延時間とする実効遅延計算手段とを備えていることを特徴とする論理回路の遅延計算装置。

【請求項10】 前記消費電流計算手段は、

前記複数の論理素子のうち、一の動作時刻に合わせて共に動作する特定の論理素子ごとの消費電流の和を算出し、

前記実効電源電圧計算手段は、

前記消費電流の和と前記電源配線の配線寄生素子とを用いて前記特定の論理素子が接続される電源配線の電圧変動量を算出し、

前記遅延電源係数決定手段は、

前記複数の論理素子のうち動作時刻の早い論理素子から順に、該論理素子に印加される実効電源電圧を用いて論理素子ごとに前記電源電圧係数と前記電流係数とを算出することを特徴とする請求項9に記載の遅延時間計算装置。

【請求項11】 前記論理回路は、それぞれが少なくとも1つのスタンダードセルを有する少なくとも1つの回路ブロックからなる集積回路であって、前記集積回路には電源電圧が印加される外部電源端子が設けられ、

前記少なくとも1つの回路ブロックには、前記外部電源端子に接続され、前記回路ブロックを駆動する電圧が印加されるブロック用電源端子が設けられ、

前記少なくとも1つのスタンダードセルには、前記ブロック用電源端子に接続され、前記スタンダードセルを駆動する電圧が印加されるセル用電源端子が設けられており、

前記消費電流計算手段は、

前記信号配線の配線抵抗及び配線容量並びに前記スタンダードセルの消費電流データを用いて前記回路ブロックの消費電流を算出するブロックレベル消費電流計算手段と、

前記回路ブロックの消費電流を用いて前記集積回路の消費電流を算出するチップレベル消費電流計算手段とを有し、

前記実効電源電圧計算手段は、

前記回路ブロックの消費電流を用いて前記外部電源端子から前記ブロック用電源端子までの電源配線の電圧変動量であるチップレベルの変動電圧を算出するチップレベル変動電圧計算手段と、

前記外部電源端子に印加される電源電圧と前記チップレベルの変動電圧との差を求めることにより、チップレベルの実効電源電圧を算出するチップレベル実効電源電圧計算手段と、

前記スタンダードセルの前記消費電流データに基づいて前記ブロック用電源端子から前記セル用電源端子までの電圧変動量であるブロックレベルの変動電圧を算出する

ブロックレベル変動電圧計算手段と、

前記チップレベルの実効電源電圧と前記ブロックレベルの変動電圧との差を求めることにより、ブロックレベルの実効電源電圧を算出するブロックレベル実効電源電圧計算手段とを有し、

前記ブロックレベルの実効電源電圧に基づいて前記集積回路の実効遅延時間を算出することを特徴とする請求項9に記載の論理回路の遅延計算装置。

【請求項12】 前記消費電流計算手段は、複数のスタンダードセルのうち一の動作時刻に合わせて共に動作する特定のスタンダードセルごとの消費電流の和を算出して、前記スタンダードセルの消費電流とし、

前記スタンダードセルの消費電流と前記電源配線の配線寄生容量とを用いて前記特定のスタンダードセルが接続される電源配線の電圧変動量を算出し、

前記遅延電圧係数決定手段は、

前記複数のスタンダードセルのうち動作時刻の早いスタンダードセルから順に、該スタンダードセルに印加される実効電源電圧を用いてスタンダードセルごとに前記電源電圧係数と前記電流係数とを算出することを特徴とする請求項11に記載の遅延時間計算装置。

【請求項13】 前記消費電流計算手段は、前記接続情報のノードごとのスイッチング頻度を付与するスイッチング頻度データ付与手段を有し、

前記スイッチング頻度、前記配線抵抗、前記配線容量及び前記スタンダードセルの消費電流データを用いて前記集積回路の消費電流を算出することを特徴とする請求項9又は11に記載の論理回路の遅延計算装置。

【請求項14】 前記消費電流計算手段は、前記接続情報に含まれる論理関数を用いて一の論理値から他の論理値に遷移する確率である遷移確率を算出し、前記遷移確率、前記配線抵抗、前記配線容量及び前記スタンダードセルの消費電流データを用いて前記集積回路の消費電流を算出することを特徴とする請求項9又は11に記載の論理回路の遅延計算装置。

【請求項15】 前記実効電源電圧計算手段が出力する計算結果を記憶しておき、前記実効電源電圧計算手段の今回の計算結果と記憶された計算結果との差が所定範囲に収まるか否かを判定し、前記所定範囲に収まらない場合は、前記所定範囲に収まるまで前記消費電流計算手段と前記実効電源電圧計算手段とを繰り返す収束条件判定手段をさらに備えていることを特徴とする請求項9～12のいずれか1項に記載の論理回路の遅延計算装置。

【請求項16】 前記FETはPチャネルMOSFETであることを特徴とする請求項7～15のいずれか1項に記載の論理回路の遅延計算装置。

【請求項17】 前記FETのドレイン飽和電流は、電源電圧と前記FETのしきい値電圧との差を所定の係数で累乗し、累乗して得られた値に電流の利得係数を乗じ

ることにより求められることを特徴とする請求項7～15のいずれか1項に記載の論理回路の遅延計算装置。

【請求項18】 FETを含む論理素子からなる論理回路のシミュレーションに用いる遅延ライブラリの信号伝搬時間の遅延データ計算方法であって、

第1の電源電圧に対する第2の電源電圧の比の値である電源電圧係数を定義する電源電圧係数定義工程と、

前記第2の電源電圧が印加されたときの前記FETのドレイン飽和電流に対する前記第1の電源電圧が印加されたときの前記FETのドレイン飽和電流の比の値である電流係数を定義する電流係数定義工程と、

前記第1の電源電圧が印加されたときの前記論理回路の遅延時間である第1の遅延時間を定義する第1の遅延時間定義工程と、

前記第1の遅延時間と前記電源電圧係数と前記電流係数との積を算出することにより、前記第2の電源電圧が印加されたときの前記論理回路の遅延時間である第2の遅延時間を決定し、該第2の遅延時間を遅延データとする遅延データ決定工程とを備えていることを特徴とする遅延ライブラリの遅延データ計算方法。

【請求項19】 前記FETはPチャネルMOSFETであることを特徴とする請求項18に記載の遅延ライブラリの遅延データ計算方法。

【請求項20】 前記FETのドレイン飽和電流を、電源電圧と前記FETのしきい値電圧との差を所定の係数で累乗し、累乗して得られた値に電流の利得係数を乗じることによって求めることを特徴とする請求項18又は19に記載の遅延ライブラリの遅延データ計算方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、論理回路の遅延時間を高精度に計算する遅延計算方法、遅延計算装置及び遅延ライブラリの遅延データ計算方法に関する。

【0002】

【従来の技術】集積回路の内部の電源電圧は、外部の電源端子に印加される電源電圧の電圧値と内部回路に印加される電源電圧の電圧値とが異なる場合がある。それは、集積回路の特性向上のために意図的に異なる電圧値に設定する場合と、集積回路の高速化及び製造プロセスの微細化から生ずる寄生素子によりもたらされる場合とである。

【0003】以下、それぞれの場合を説明する。

【0004】（第1の従来例）集積回路の低消費電力化又は回路速度の高速化を図るために、内部の回路ブロックに印加する電源電圧を選択的に設定する場合がある。例えば、低消費電力化が必要とされる回路ブロックに電源端子の印加電圧よりも低い電圧を設定し、高速化が必要とされる回路ブロックに外部の電源電圧と同一の電源電圧を設定する。

【0005】このように集積回路の設計を行なう場合

に、該集積回路の信号伝搬の遅延検証と動作検証とを行なうためには、ゲートレベルの遅延ライブラリを電源電圧ごとに作成し、所望の遅延ライブラリを選択して使用する必要がある。

【0006】(第2の従来例)集積回路の回路ブロックに電源電位を供給する電源線(以下、VDD線と略記する。)と、グランド電位を供給するグランド線(以下、VSS線と略記する。)に消費電流が流れ、VDD線及びVSS線に現われる抵抗(R)、容量(C)又はインダクタンス(L)よりなる配線寄生素子によって電圧変動が発生する。例えば、簡単のため、電源配線の寄生素子は抵抗のみとする。回路ブロックに実効的に印加される電源電圧がこの配線抵抗に起因する電圧変動によって小さくなるため遅延時間が増大する。しかしながら、従来の遅延計算方法においては、印加される電源電圧が変化しない理想的なVDD線及びVSS線を前提にしているため、得られた解析結果と実測結果との誤差が大きくなるという問題を有している。

【0007】これを解決する方法として、例えば特開平6-124318に示されたシミュレーション方法がある。本シミュレーション方法によるとデータ抽出部、プロセスパラメータ格納部及び電源電圧格納部により電源配線の抵抗を算出すると共に、利得係数算出部及びドレイン電流算出部においてゲート素子であるMOSFETのドレイン電流を算出する。電源配線の抵抗及びドレイン電流を用いて電源線の電圧降下量を計算した後、伝搬遅延算出部においてドレイン電流の利得係数 $\beta$ と付随容量とから遅延時間を計算している。

【0008】

【発明が解決しようとする課題】

(第1の従来例)前記第1の従来例に示したように、セルライブラリから所望の遅延データを求める遅延データ抽出処理は電源電圧を所定の値に設定することを前提にしているため、異なる電源電圧の設定値の回数分だけ遅延データを抽出する必要がある。多ビットの加算セルなどの多入力ゲートの場合は抽出時間が長くなることになり、その結果、セルライブラリの設計期間が長くなるという問題を有している。また、遅延時間を考慮した電源電圧による消費電力と遅延時間との双方の最適化を図るための電源電圧の最適解を求めるということに対応できなかった。

【0009】(第2の従来例)前記第2の従来例に示した特開平6-124318においては、遅延時間の電源電圧依存性の計算の重要なポイントである伝搬遅延算出部での利得係数 $\beta$ と遅延時間との関係が開示されておらず、具体的な遅延時間の計算方法が示されていないという問題を有している。

【0010】また、利得係数 $\beta$ の電源電圧依存性から遅延時間を解析する方法として、トランジスタレベルやスイッチレベルの回路シミュレーションによってMOSF

ETのドレイン電流の電圧依存性をもとにして負荷容量若しくは負荷抵抗を充電又は放電する時間を求める方法がある。しかしながら、この方法は、回路シミュレーションをトランジスタレベルに展開したネットリストを用いることから、回路素子数が多くなり、大規模回路では解析時間がかかりすぎるため、実用的でないという問題を有している。

【0011】また、遅延時間の電源電圧依存性を計算する方法として、あらかじめ算出しておいた遅延時間の電源電圧依存係数を遅延時間に乗ずる方法があり、第1の従来例のように、あらかじめ動作条件ごとにVDD線及びVSS線の電源電圧変動量分の電位を差し引いた実効的な複数の電源電圧を求めておき、その電源電圧ごとに抽出しておいた遅延値を用いる方法が考えられる。しかしながら、これらの方法は、実効的な電源電圧があらかじめ決められている必要があり、異なる電源電圧配線に接続された複数の回路ブロックや、異なる周波数又は異なる頻度で動作する回路ブロックなど、実際の集積回路内で個々の回路ブロックごとに発生する異なる電源線の電圧変動の影響を正確に解析できないという問題を有している。

【0012】さらに、第1の従来例に示すように、複数の異なる電源電圧で動作する回路ブロックを内蔵する集積回路の場合は、遅延時間の電源電圧依存係数を一律に乗ずる方法では集積回路全体の遅延計算を行なうことができない。

【0013】本発明は、前記従来の問題を一挙に解決し、論理回路の遅延時間の電源電圧依存性を容易に且つ解析的に計算して遅延時間を確実に求めることができるようにすることを目的とする。

【0014】

【課題を解決するための手段】前記の目的を達成するため、本発明は、第1の電源電圧が印加される論理回路の遅延時間に、第1の電源電圧に対する第2の電源電圧の比の値である電源電圧係数と、第2の電源電圧が印加されたときの前記FETのドレイン飽和電流に対する第1の電源電圧が印加されたときのFETのドレイン飽和電流の比の値である電流係数とを乗ずることにより、第2の電源電圧が印加される論理回路の遅延時間を算出するものである。

【0015】本発明に係る第1の論理回路の遅延計算方法は、FETを含む複数の論理素子からなる論理回路のシミュレーションを行なう際に、論理回路の電源電圧による信号伝搬時間の遅延を算出する遅延計算方法であって、第1の電源電圧に対する第2の電源電圧の比の値を電源電圧係数とし、第2の電源電圧が印加されたときのFETのドレイン飽和電流に対する第1の電源電圧が印加されたときのFETのドレイン飽和電流の比の値を電流係数とし、第1の電源電圧が印加されたときの論理回路の遅延時間である第1の遅延時間と電源電圧係数と電

流係数との積を算出し、該算出結果を、第2の電源電圧が印加されたときの論理回路の遅延時間である第2の遅延時間とする。

【0016】本発明に係る第2の論理回路の遅延計算方法は、一の論理回路を構成しており、それぞれがFETを含む複数の論理素子からなり、互いに異なる実効電源電圧によって動作する複数の回路ブロックの各実効電源電圧による信号伝搬時間の遅延を算出する論理回路の遅延計算方法であって、基準電源電圧に対する各回路ブロックの電源電圧の比の値である電源電圧係数を算出し、各回路ブロックの実効電源電圧が印加されたときのFETのドレイン飽和電流に対する基準電源電圧が印加されたときのFETのドレイン飽和電流の比の値である電流係数を算出し、基準電源電圧が印加されたときの各回路ブロックの遅延時間である基準遅延時間と各回路ブロックごとの電源電圧係数と電流係数との積を算出し、該算出結果を、各回路ブロックの遅延時間である実効遅延時間とする。

【0017】本発明に係る第3の論理回路の遅延計算方法は、FETを含む複数の論理素子からなる論理回路のシミュレーションを行なう際に、論理回路の電源電圧の電圧変動による信号伝搬時間の遅延を算出する遅延計算方法であって、論理回路の消費電流及び電源線の配線寄生素子によって生ずる電圧変動による変動電圧を算出した後、電源端子に印加される基準電源電圧と変動電圧との差を求めることにより、論理回路に印加される実効的な電源電圧である実効電源電圧を求め、基準電源電圧に対する実効電源電圧の比の値である電源電圧係数を算出すると共に、実効電源電圧が印加されたときのFETのドレイン飽和電流に対する基準電源電圧が印加されたときのFETのドレイン飽和電流の比の値である電流係数を算出し、基準電源電圧に基づいて算出された論理回路の基準となる遅延時間と電源電圧係数と電流係数との積を算出し、該算出結果を、実効電源電圧が印加されたときの論理回路の遅延時間である実効的な遅延時間とする。

【0018】第3の論理回路の遅延計算方法において、論理回路の消費電流を、複数の論理素子のうち、一の動作時刻に合わせて共に動作する特定の論理素子ごとの消費電流の和とし、消費電流の和に基づいて特定の論理素子が接続される電源線の電圧変動量を算出し、電源線の電圧変動量を変動電圧とすることが好ましい。

【0019】第1～3の論理回路の遅延計算方法において、FETはPチャネルMOSFETであることが好ましい。

【0020】第1～3の論理回路の遅延計算方法において、FETのドレイン飽和電流を、電源電圧とFETのしきい値電圧との差を所定の係数で累乗し、累乗して得られた値に電流の利得係数を乗じることによって求めることが好ましい。

【0021】本発明に係る第1の論理回路の遅延計算装置は、FETを含む複数の論理素子からなる論理回路のシミュレーションを行なう際に、論理回路の電源電圧による信号伝搬時間の遅延を算出する遅延計算装置であって、論理素子の論理回路における配置を決定するレイアウトデータを付与するレイアウトデータ付与手段と、論理回路の接続情報を付与する接続情報付与手段と、論理回路の配線及び論理素子の電気特性を決定するプロセス情報を付与するプロセスパラメータ付与手段と、論理素子の遅延データを付与するライブラリデータ付与手段と、第1の電源電圧に対する第2の電源電圧の比の値である電源電圧係数を決定すると共に、第2の電源電圧が印加されたときのFETのドレイン飽和電流に対する第1の電源電圧が印加されたときのFETのドレイン飽和電流の比の値である電流係数を決定する遅延電源係数決定手段と、遅延データ、レイアウトデータ、プロセス情報及び接続情報に基づいて、第1の電源電圧が印加されたときの論理回路の遅延時間を算出する遅延計算手段と、遅延計算手段が算出した遅延時間と電源電圧係数と電流係数との積を算出し、該算出結果を、第2の電源電圧が印加されたときの論理回路の実効的な遅延時間とする実効遅延計算手段とを備えている。

【0022】第1の論理回路の遅延計算装置において、論理回路は、互いに異なる電源電圧によって動作する一の論理回路を構成する複数の回路ブロックからなり、論理回路及び回路ブロックの各電源電圧情報を付与する電源電圧情報付与手段をさらに備え、遅延電源係数決定手段は、基準電源電圧に対する各回路ブロックの電源電圧の比の値を定義するブロック別電源電圧係数を決定する手段と、各回路ブロックの電源電圧が印加されたときのFETのドレイン飽和電流に対する基準電源電圧が印加されたときのFETのドレイン飽和電流の比の値を定義するブロック別電流係数を決定する手段とを有していることが好ましい。

【0023】本発明に係る第2の論理回路の遅延計算装置は、FETを含む複数の論理素子からなる論理回路のシミュレーションを行なう際に、論理回路の電源電圧の電圧変動による信号伝搬時間の遅延を算出する遅延計算装置であって、論理素子の論理回路における配置を決定するレイアウトデータを付与するレイアウトデータ付与手段と、論理回路の接続情報を付与する接続情報付与手段と、論理回路の配線及び論理素子の電気特性を決定するプロセス情報を付与するプロセスパラメータ付与手段と、論理素子の遅延データ及び消費電流データを付与するライブラリデータ付与手段と、レイアウトデータ及びプロセスパラメータを用いて信号配線の配線抵抗と配線容量とを抽出する信号配線抽出手段と、レイアウトデータ及びプロセスパラメータを用いて電源端子と論理回路とが接続されている電源配線の配線寄生素子を抽出する電源配線寄生素子抽出手段と、信号配線の配線抵抗、配



線容量及び消費電流データを用いて論理回路の消費電流を算出する消費電流計算手段と、消費電流と電源配線の配線寄生素子とを用いて電源配線の電圧変動量を算出し、電源端子に印加される電源電圧と電圧変動量分の電圧との差を求めて実効的な電源電圧である実効電源電圧を算出する実効電源電圧計算手段と、電源電圧に対する実効電源電圧の比の値である電源電圧係数を決定すると共に、実効電源電圧が印加されたときのFETのドレイン飽和電流に対する電源電圧が印加されたときのFETのドレイン飽和電流の比の値である電流係数を決定する遅延電源係数決定手段と、信号線の配線抵抗及び配線容量と論理素子の遅延データとを用いて電源電圧が印加されたときの遅延時間を算出する遅延計算手段と、遅延計算手段が算出した遅延時間と電源電圧係数と電流係数との積を算出し、該算出結果を、論理回路の実効遅延時間とする実効遅延計算手段とを備えている。

【0024】第2の論理回路の遅延計算装置において、消費電流計算手段は、複数の論理素子のうち、一の動作時刻に合わせて共に動作する特定の論理素子ごとの消費電流の和を算出し、実効電源電圧計算手段は、消費電流の和と電源配線の配線寄生素子とを用いて特定の論理素子が接続される電源配線の電圧変動量を算出し、遅延電源係数決定手段は、複数の論理素子のうち動作時刻の早い論理素子から順に、該論理素子に印加される実効電源電圧を用いて論理素子ごとに電源電圧係数と電流係数とを算出することが好ましい。

【0025】第2の論理回路の遅延計算装置において、論理回路は、それぞれが少なくとも1つのスタンダードセルを有する少なくとも1つの回路ブロックからなる集積回路であって、集積回路には電源電圧が印加される外部電源端子が設けられ、少なくとも1つの回路ブロックには、外部電源端子に接続され、回路ブロックを駆動する電圧が印加されるブロック用電源端子が設けられ、少なくとも1つのスタンダードセルには、ブロック用電源端子に接続され、スタンダードセルを駆動する電圧が印加されるセル用電源端子が設けられており、消費電流計算手段は、信号配線の配線抵抗及び配線容量並びにスタンダードセルの消費電流データを用いて回路ブロックの消費電流を算出するブロックレベル消費電流計算手段と、回路ブロックの消費電流を用いて集積回路の消費電流を算出するチップレベル消費電流計算手段とを有し、実効電源電圧計算手段は、回路ブロックの消費電流を用いて外部電源端子からブロック用電源端子までの電源配線の電圧変動量であるチップレベルの変動電圧を算出するチップレベル変動電圧計算手段と、外部電源端子に印加される電源電圧とチップレベルの変動電圧との差を求めることにより、チップレベルの実効電源電圧を算出するチップレベル実効電源電圧計算手段と、スタンダードセルの消費電流データに基づいてブロック用電源端子からセル用電源端子までの電圧変動量であるブロックレベ

ルの変動電圧を算出するブロックレベル変動電圧計算手段と、チップレベルの実効電源電圧とブロックレベルの変動電圧との差を求めることにより、ブロックレベルの実効電源電圧を算出するブロックレベル実効電源電圧計算手段とを有し、ブロックレベルの実効電源電圧に基づいて集積回路の実効遅延時間を算出することが好ましい。

【0026】第2の論理回路の遅延計算装置において、消費電流計算手段は、複数のスタンダードセルのうち、一の動作時刻に合わせて共に動作する特定のスタンダードセルごとの消費電流の和を算出して、スタンダードセルの消費電流とし、該スタンダードセルの消費電流と電源配線の配線寄生容量とを用いて特定のスタンダードセルが接続される電源配線の電圧変動量を算出し、遅延電源係数決定手段は、複数のスタンダードセルのうち動作時刻の早いスタンダードセルから順に、該スタンダードセルに印加される実効電源電圧を用いてスタンダードセルごとに電源電圧係数と電流係数とを算出することが好ましい。

【0027】第2の論理回路の遅延計算装置において、消費電流計算手段は、接続情報のゾードごとのスイッチング頻度を付与するスイッチング頻度データ付与手段を有し、スイッチング頻度、配線抵抗、配線容量及びスタンダードセルの消費電流データを用いて集積回路の消費電流を算出することが好ましい。

【0028】第2の論理回路の遅延計算装置において、消費電流計算手段は、接続情報に含まれる論理関数を用いて一の論理値から他の論理値に移移する確率である遷移確率を算出し、遷移確率、配線抵抗、配線容量及びスタンダードセルの消費電流データを用いて集積回路の消費電流を算出することが好ましい。

【0029】第1又は第2の論理回路の遅延計算装置において、実効電源電圧計算手段が出力する計算結果を記憶しておき、実効電源電圧計算手段の今回の計算結果と記憶された計算結果との差が所定範囲に収まるか否かを判定し、所定範囲に収まらない場合は、所定範囲に収まるまで消費電流計算手段と実効電源電圧計算手段とを繰り返す収束条件判定手段をさらに備えていることが好ましい。

【0030】第1又は第2の論理回路の遅延計算装置において、FETはPチャネルMOSFETであることが好ましい。

【0031】第1又は第2の論理回路の遅延計算装置において、FETのドレイン飽和電流は、電源電圧とFETのしきい値電圧との差を所定の係数で累乗し、累乗して得られた値に電流の利得係数を乗じることにより求められることが好ましい。

【0032】本発明に係る遅延ライブラリの遅延データ計算方法は、FETを含む論理素子からなる論理回路のシミュレーションに用いる遅延ライブラリの信号伝搬時

間の遅延データ計算方法であって、第1の電源電圧に対する第2の電源電圧の比の値である電源電圧係数を定義する電源電圧係数定義工程と、第2の電源電圧が印加されたときのFETのドレイン飽和電流に対する第1の電源電圧が印加されたときのFETのドレイン飽和電流の比の値である電流係数を定義する電流係数定義工程と、第1の電源電圧が印加されたときの論理回路の遅延時間である第1の遅延時間を定義する第1の遅延時間定義工程と、第1の遅延時間と電源電圧係数と電流係数との積を算出することにより、第2の電源電圧が印加されたときの論理回路の遅延時間である第2の遅延時間を決定し、該第2の遅延時間を遅延データとする遅延データ決定工程とを備えている。

【0033】本発明に係る遅延ライブラリの遅延データ計算方法において、FETはPチャネルMOSFETであることが好ましい。

【0034】本発明に係る遅延ライブラリの遅延データ計算方法において、FETのドレイン飽和電流を、電源電圧とFETのしきい値電圧との差を所定の係数で累乗し、累乗して得られた値に電流の利得係数を乗じることによって求めることが好ましい。

【0035】

【発明の実施の形態】まず、本発明に係る、論理回路における遅延時間の電源電圧依存性の計算方法を説明する。

【0036】図1は論理回路に用いる2入力NANDゲート、2入力NORゲート、4入力NANDゲート及び4入力NORゲートの各基本CMOSゲートの遅延時間の電源電圧依存性を示すグラフである。図1において、1は2入力NANDゲートを示し、2は2入力NORゲートを示し、3は4入力NANDゲートを示し、4は4入力NORゲートを示している。5はPチャネルMOSFETのドレイン飽和電流 $I_{dsp}$ に対する電源電圧 $V_{dd}$ の比 $(V_{dd}/I_{dsp})$ であり、6はNチャネルMOSFETのドレイン飽和電流 $I_{dsn}$ に対する電源電圧 $V_{dd}$ の比 $(V_{dd}/I_{dsn})$ である。

【0037】図2はスタンダードセルを用いたビルディングブロック方式によりレイアウトを行なった約3000ゲート相当の回路ブロック、及び4KBのスタティックRAM回路の遅延時間の電源電圧依存性を示すグラフである。図2において、7は論理ブロックを示し、8はスタティックRAMを示している。9は各回路のPチャネルMOSFETのドレイン飽和電流 $I_{dsp}$ に対する電源電圧 $V_{dd}$ の比 $(V_{dd}/I_{dsp})$ であり、10は各回路のNチャネルMOSFETのドレイン飽和電流 $I_{dsn}$ に対する電源電圧 $V_{dd}$ の比 $(V_{dd}/I_{dsn})$ である。

【0038】ここで、ドレイン飽和電流は、ゲート・ソース間電圧及びドレイン・ソース間電圧を電源電圧 $V_{dd}$ に設定した場合の電流である。

【0039】以下、論理回路の信号伝搬時間の遅延を解

析的に求める方法を説明する。

【0040】一般に、論理回路の遅延時間は負荷容量に蓄積された電荷 $Q$ をMOSFETのドレイン電流で放電する時間であるため、以下に示す【数1】の関係がある。

【0041】

【数1】

$$Q = \int I_d \cdot dt \\ = I_d \cdot T_d \\ = C_l \cdot \Delta V$$

【0042】【数1】を変形して、【数2】を得る。

【0043】

【数2】

$$T_d = C_l \cdot \frac{\Delta V}{I_d}$$

【0044】ここで、 $C_l$ は負荷容量、 $I_d$ はドレイン電流、 $\Delta V$ は負荷容量の充放電による電位変化、 $T_d$ は遅延時間を示す。

【0045】さらに、 $I_d$ 及び $\Delta V$ は電源電圧 $V_{dd}$ に応じて変化することから、さらに以下に示す関係式【数3】が導かれる。

【0046】

【数3】

$$T_d \propto \frac{V_{dd}}{I_{ds}}$$

【0047】ここで、 $I_{ds}$ は電源電圧 $V_{dd}$ におけるドレイン飽和電流である。

【0048】ドレイン飽和電流 $I_{ds}$ には電源電圧依存性が存在する。ドレイン飽和電流 $I_{ds}$ の電源電圧依存性は、主としてチャネル表面の分散散乱、フォノン散乱、表面起伏による散乱などに起因したゲート・ソース間の電界 $V_{gs}/T_{ox}$ （但し、 $V_{gs}$ はゲート・ソース間電圧とし、 $T_{ox}$ は酸化膜の膜厚とする。）による移動度の減少効果と、ドレイン・ソース間の電界 $V_{ds}/L_{eff}$ （但し、 $V_{ds}$ はドレイン・ソース間電圧とし、 $L_{eff}$ は実効チャネル長とする。）による速度飽和と、ドレイン電界に起因した短チャネル効果によるしきい値電圧の減少によって説明される。

【0049】これらの効果を合わせたドレイン電流 $I_d$ の表現式がIEEE Journal of Solid-State Circuits, vol. 25, NO. 2, April 1990 pp. 584-594に記載されており、その形式を用いたドレイン飽和電流 $I_{ds}$ の表現式を以下の計算式【数4】に示す。

【0050】

【数4】

$$I_{ds} = \frac{\beta}{2} \cdot (V_{gs} - V_t)^{\alpha}$$

【0051】ここで、 $\beta$ は、 $\beta = \mu \cdot C_{ox} \cdot W/L$ で表わされるMOSFETの利得係数であって、各変数は、 $\mu$ ：キャリアの移動度

$C_{ox}$  : ゲート酸化膜の単位面積あたりの容量

$W$  : ゲート幅

$L$  : ゲート長

$V_t$  : MOSFETのしきい値電圧

をそれぞれ表わしている。指数 $\alpha$ の値は、長チャネルMOSFETではよく知られているように2である。

【0052】また、例えば、 $0.5\mu\text{m}$  CMOSプロセス等によるゲート長が微細なCMOSデバイスにおいては、ゲート・ソース間電圧 $V_{gs}$ 、ドレイン・ソース間電圧 $V_{ds}$ 及び電源電圧 $V_{dd}$ を共に3.3Vに設定する場合は、NチャネルMOSFETの指数 $\alpha$ が1.1から1.2となり、PチャネルMOSFETの指数 $\alpha$ が1.5から1.6となる。電源電圧 $V_{dd}$ が低くなると、指数 $\alpha$ は長チャネルMOSFETモデルの2に近づく。

【0053】ドレイン飽和電流 $I_{ds}$ の電源電圧依存性をPチャネルMOSFETとNチャネルMOSFETとで比較すると、前記の指数 $\alpha$ の値から、電源電圧の減少に伴うドレイン飽和電流の減少比率はPチャネルMOSFETの方が大きいことが分かる。従って、図1及び図2に示したように、遅延時間の電源電圧依存性がドレイン飽和電流 $I_{dsp}$ に対する電源電圧 $V_{dd}$ の比( $V_{dd}/I_{dsp}$ )にほぼ一致することを説明できる。

【0054】関係式[数3]及び計算式[数4]を用い、遅延時間 $T_d$ をドレイン飽和電流 $I_{ds}$ 、MOSFETのしきい値電圧 $V_t$ 及び指数 $\alpha$ の関数として表現することにより、遅延時間の電源電圧依存性を以下の[数5]に示す簡単な形式で求めることができる。

【0055】  
【数5】

$$\begin{aligned} T_d &= T_{d0} \cdot \frac{V_{ddi} \cdot I_{dsp0}}{V_{dd0} \cdot I_{dsi}} \\ &= T_{d0} \cdot \frac{V_{ddi} \cdot (V_{dd0} - V_t)^{\alpha_0}}{V_{dd0} \cdot (V_{ddi} - V_t)^{\alpha_i}} \\ &\equiv T_{d0} \cdot K_v(V_{ddi}) \end{aligned}$$

【0056】ここで、 $V_{dd0}$ は遅延時間の計算の基準となる基準電源電圧を表わし、例えばセルライブラリの遅延データの抽出時に設定する基準となる電源電圧を表わす。 $I_{dsp0}$ は基準電源電圧 $V_{dd0}$ のときのPチャネルMOSFETのドレイン飽和電流を表わし、 $T_{d0}$ は基準電源電圧 $V_{dd0}$ として求めた論理回路の基準遅延値を表わし、 $\alpha_0$ は基準電源電圧 $V_{dd0}$ のときのドレイン飽和電流の指数 $\alpha$ を表わす。 $I_{dsi}$ は電源電圧 $V_{ddi}$ のときのPチャネルMOSFETのドレイン飽和電流を表わし、 $\alpha_i$ は電源電圧 $V_{ddi}$ のときのドレイン飽和電流 $I_{dsi}$ の指数 $\alpha$ を表わす。

【0057】この計算式[数5]が示すように、遅延計算で求めた基準遅延値 $T_{d0}$ に、電源電圧 $V_{ddi}$ と指数 $\alpha_i$ との関係を示す遅延電源係数 $K_v(V_{ddi})$ を乗ずることにより、基準電源電圧 $V_{dd0}$ と異なる電源電圧 $V_{dd}$

$i$ における遅延時間 $T_d$ を容易に且つ確実に算出することができる。

【0058】(第1の実施形態)以下、本発明の第1の実施形態を図面に基づいて説明する。

【0059】図3は本発明の第1の実施形態に係る論理回路の遅延計算装置の動作フローを示している。本発明に係る論理回路の遅延計算装置は外部記憶装置を備えたコンピュータを想定しており、該外部記憶装置及びコンピュータの形態や機種等を問わない。

【0060】まず、図3に示すように、論理回路の信号伝搬時間の遅延計算に必要な各種データをあらかじめ用意する。11はレイアウトデータ付与手段に保持され、遅延解析の対象となる回路及びスタンダードセルのレイアウトデータ、12はプロセスパラメータ付与手段に保持され、単位形状当たりの配線抵抗及び配線容量よりなる配線パラメータ、13は接続情報付与手段に保持され、解析対象の回路のゲートレベルの接続記述である回路接続情報、14はライブラリデータ付与手段に保持され、基準電源電圧 $V_{dd0}$ で抽出されたセル遅延データ、15は動作電源電圧付与手段に保持された所定の動作電源電圧データ、16はプロセスパラメータ付与手段に保持され、キャリアの移動度や酸化膜厚等のドレイン飽和電流を決める飽和電流パラメータである。

【0061】次に、信号配線抽出工程S01において、信号配線抽出手段は、レイアウトデータ11、配線パラメータ12及び回路接続情報13から、信号ノードごとに所望の配線抵抗及び配線容量を抽出する。

【0062】次に、遅延計算工程S02において、遅延計算手段は、基準となるセル遅延データ14と、信号配線抽出工程S01において抽出された配線抵抗及び配線容量とを用いて解析対象となる論理回路の基準電源電圧 $V_{dd0}$ における遅延時間を計算する。

【0063】次に、遅延電源係数決定工程S03において、遅延電源係数決定手段は、所定の動作電源電圧データ15(=  $V_{ddi}$ )と該所定の動作電源電圧データ15に基づくキャリアの移動度や酸化膜厚等の飽和電流パラメータ16をもとにして、PチャネルMOSFETのドレイン飽和電流 $I_{dsi}$ を計算した後、基準電源電圧 $V_{dd0}$ のときのPチャネルMOSFETのドレイン飽和電流 $I_{dsp0}$ との比の値を計算して動作電源電圧 $V_{ddi}$ における遅延電源係数 $K_v(V_{ddi})$ を決定する。

【0064】次に、実効遅延計算工程S04において、実効遅延計算手段は、計算式[数5]に示すように、遅延計算手段により算出された基準電源電圧 $V_{dd0}$ における遅延時間と、遅延電源係数決定手段により算出された遅延電源係数 $K_v(V_{ddi})$ とを乗じることにより動作電源電圧 $V_{ddi}$ における遅延時間を決定する。

【0065】図4は遅延電源係数決定工程S03を詳述した計算フローである。図4において、PチャネルMOSFETのドレイン飽和電流 $I_{dsi}$ を算出するのに前記

の計算式〔数4〕を用い、動作電源電圧Vddi に応じた指数 $\alpha_i$  が選択されてドレイン飽和電流I<sub>dspi</sub>が決定される。

【0066】まず、動作電源電圧決定工程S31において、図3に示す動作電源電圧データ15から所定の動作電源電圧Vddi を抽出した後、指数決定工程S32において、動作電源電圧Vddi が、あらかじめ設定された電源電圧Vdd0、Vdd1、Vdd2、…、Vddn-1、Vddn（但し、nは2以上の整数とする。）のどの範囲に属するかを判定して、動作電源電圧Vddi における指数 $\alpha_i$ を決定する。

【0067】次に、ドレイン飽和電流決定工程S33Aにおいて、飽和電流パラメータ16と計算式〔数4〕とを用いて、動作電源電圧Vddi におけるドレイン飽和電流I<sub>dspi</sub>を決定する。

【0068】次に、遅延電源係数決定工程S34において、基準電源電圧Vdd0 に対するVddi の比の値である電源電圧係数（ $=Vddi / Vdd0$ ）と、動作電源電圧Vddi におけるドレイン飽和電流I<sub>dspi</sub>に対する基準電源電圧Vdd0 におけるドレイン飽和電流I<sub>dsp0</sub>との比の値である電流係数（ $=I_{dsp0} / I_{dspi}$ ）を計算した後、電源電圧係数と電流係数との積を計算して動作電源電圧Vddi における遅延電源係数K<sub>v</sub>（Vddi）を算出する。

【0069】なお、動作電源電圧Vddi と指数 $\alpha_i$  との関係の具体的な付与方法としては、例えば、表形式のテーブルモデルを用いる方法等が考えられる。

【0070】このように、動作電源電圧Vddi と動作電源電圧Vddi における指数 $\alpha_i$  との関係を求めることのみにより、遅延時間の電源電圧依存性を容易に且つ確実に算出することができる。

【0071】また、動作電源電圧Vddi に対するドレイン飽和電流I<sub>dspi</sub>との関係を指数 $\alpha_i$  で定義する利点は、ドレイン飽和電流I<sub>dspi</sub>を変化させる要素が動作電源電圧Vddi と指数 $\alpha_i$  との2つのみになるため、直接ドレイン飽和電流I<sub>dspi</sub>を定義するよりも少ないデータ数で滑らかな電流特性の変化を表現できることである。

【0072】図5は動作電源電圧Vddi とドレイン飽和電流I<sub>dspi</sub>の関係式から遅延電源係数K<sub>v</sub>（Vddi）を決定する計算フローを示している。この例は、以下の計算式〔数6〕及び〔数7〕に示すように、米国カリフォルニア大学バークレー校により提案されたSPICEトランジスタモデルBSIM3ver2の電流式に基づいてドレイン飽和電流I<sub>dspi</sub>を表現している。

【0073】

【数6】

$$I_{dspi} = W \cdot Cox \cdot v_{sat} \cdot (Vddi - V_t - A_{bulk} \cdot V_{dsat})$$

【0074】

【数7】

$$V_{dsat} = E_{sat} \cdot L \cdot \frac{Vddi - V_t}{E_{sat} \cdot L + Vddi - V_t}$$

【0075】以下に、各変数を示す。

【0076】v<sub>sat</sub>：キャリアの飽和速度

W：MOSFETのゲート幅

L：MOSFETのゲート長

Cox：ゲート酸化膜の単位面積当たりの容量

V<sub>dsat</sub>：ドレイン電流が飽和するドレイン・ソース間の電圧

A<sub>bulk</sub>：基板電荷効果係数（SPICEパラメータを基に算出された係数）

E<sub>sat</sub>：キャリア速度が飽和する臨界電界（SPICEパラメータを基に算出された値）

【0077】図5に示すように、遅延電源係数の決定手順は、まず、動作電源電圧決定工程S31において、図3に示す動作電源電圧データ15から所定の動作電源電圧Vddi を抽出した後、ドレイン飽和電流決定工程S33Bにおいて、飽和電流パラメータ16と計算式〔数6〕及び〔数7〕に従って、動作電源電圧Vddi におけるドレイン飽和電流I<sub>dspi</sub>を算出する。

【0078】以降の工程は図4に示した遅延電源係数決定工程S34と同様である。

【0079】以上説明したように、本実施形態によると、動作電源電圧Vddi とPチャネルMOSFETのドレイン飽和電流I<sub>dspi</sub>との関係を決めることのみにより、基準とする1つの条件の電源電圧で求めたセルライブラリの遅延データを使って論理回路の遅延時間の電源電圧依存性を容易に算出することができる。

【0080】なお、本実施形態は、スタンダードセルを用いたビルディングブロック方式の集積回路の回路ブロックを例にしたが、ゲートアレイやカスタム設計の回路ブロックであってもよい。

【0081】（第2の実施形態）以下、本発明の第2の実施形態を図面に基づいて説明する。

【0082】図6は本発明の第2の実施形態に係る論理回路の遅延計算装置が遅延計算の対象とし、異なる複数の電源電圧で動作する回路ブロックを内蔵した集積回路を示している。図6において、50は本遅延計算装置の計算の対象とする集積回路であり、第1の動作電源電圧Vdd1 で動作する回路ブロック50aと、高速動作が要求されるため第1の動作電源電圧Vdd1 よりも高い第2の動作電源電圧Vdd2で動作する高速動作回路ブロック50bと、低消費電力が要求されるため第1の動作電源電圧Vdd1 よりも低い第3の動作電源電圧Vdd3 で動作する低消費電力回路ブロック50cと、集積回路50の外部周辺装置で決まる第4の動作電源電圧Vdd4 で動作する入出力回路ブロック50dとにより構成されている。

【0083】図7は本発明の第2の実施形態に係る論理回路の遅延計算装置の動作フローを示している。図7において、図3に示した構成要素には同一の符号を付すことにより説明を省略する。17は、動作電源電圧情報付

与手段に保持され、例えば図6に示す回路ブロック50a, 50b, 50c, 50dに対して該ブロックごとに付与される回路ブロック動作電源電圧データである。

【0084】ここで、前記第1の実施形態と異なる工程を説明すると、遅延電源係数決定工程S03Aにおいて、遅延電源係数決定手段は、回路ブロック動作電源電圧データ17と、該回路ブロック動作電源電圧データ17に基づくキャリアの移動度や酸化膜厚等の飽和電流パラメータ16と、回路接続情報13とをもとにして回路ブロックごとの遅延電源係数 $K_v$ を決定する。

【0085】次に、前記第1の実施形態と同様に、実効遅延計算工程S04において、実効遅延計算手段は、計算式〔数5〕を用いて決定された各遅延電源係数 $K_v$ を用いて、集積回路50の回路ブロックごとの遅延時間を決定する。

【0086】このように、集積回路50に異なる複数の動作電源電圧を用いるにも関わらず、遅延計算工程S02までは基準電源電圧 $V_{dd0}$ により作成された遅延データ14を用い、最終段の実効遅延計算工程S04において各動作電源電圧に応じた遅延時間の補正ができるため、従来のように電源電圧ごとに遅延データを有するセルライブラリを使う必要がないので、ライブラリ作成に要する時間を短縮化することができる。

【0087】このように、本実施形態によると動作の高速化や低消費電力化等を目的とした異なる動作電源電圧の回路ブロックからなる集積回路50の遅延計算を、標準的な電源電圧条件により作成されたセル遅延データ14を用いて容易に且つ確実に算出することができる。

【0088】(第3の実施形態)以下、本発明の第3の実施形態を図面に基づいて説明する。

【0089】本実施形態において、集積回路における電源線に電圧変動が生じ、該集積回路の電源端子に印加される電源電圧と内部の回路に実効的に印加される電源電圧とが異なる場合の遅延計算方法及び遅延計算装置を説明する。

【0090】まず、図8を用いてVDD線及びVSS線の配線寄生素子の電圧変動による信号伝搬時間の遅延の影響について説明する。

【0091】一般に、 $n$  (但し、 $n$ は1以上の整数とする。) 対からなるVDD線及びVSS線のそれぞれに $m$ 個 (但し、 $m$ は1以上の整数とする。) の回路ブロックが接続されている集積回路を考える。図8に示すように、 $m$ 個の回路ブロックが $n$ 対 ( $n=2$ ) のVDD線及びVSS線に接続されているとする。基準電位 $V_{dd0}$ の電源電圧が集積回路の電源端子に印加されており、 $m$ 個の回路ブロックが該電源端子にそれぞれ接続されている。回路ブロック1, ...,  $m$ の各平均消費電流は $I_i$  (但し、 $i=1, 2, \dots, m-1, m$ の整数とする。) であり、簡単のため、各回路間に敷設されているVDD線及びVSS線は同一の配線長で且つ同一の配線幅とする。

また、各配線抵抗は $R$ に等しいとする。

【0092】図9は図8に示す集積回路の第1の等価回路を表わしており、例えば、ブロック1の平均消費電流 $I_1$ は $I_1/2$ の電流源が2つ並列に接続されているとする。電源配線の寄生素子は、配線の抵抗、インダクタンス及び容量からなる。また、MOSFETのソース・基板間のダイオード接合による容量が接続され、図9のような電源配線の等価回路になる。

【0093】図10は図8に示す集積回路を最も簡略化し、電源線を1対とした第2の等価回路である。電源配線の寄生素子を簡略化し、本実施形態においては、第2の等価回路をVDD線及びVSS線の配線抵抗による電圧降下量を計算する解析モデルとする。図10に示す第2の等価回路を用いて、電源から最も遠いVDD線の第 $m$ のノードの電位 $V_m$ とVSS線の第 $m$ のノードの電位 $U_m$ とを計算する。

【0094】図8に示す回路ブロック1, ...,  $m$ におけるVDD線の各ノードの電位 $V_1, V_2, \dots, V_m$ に対してキルヒホッフの電流則を適用すると、以下に示す〔数8〕の関係式が導かれる。

【0095】

〔数8〕

$$\frac{V_{dd0} - V_1}{R} = \frac{I_1}{n} + \frac{V_1 - V_2}{R} \quad \dots(1)$$

$$\frac{V_1 - V_2}{R} = \frac{I_2}{n} + \frac{V_2 - V_3}{R} \quad \dots(2)$$

$$\frac{V_{m-2} - V_{m-1}}{R} = \frac{I_{m-1}}{n} + \frac{V_{m-1} - V_m}{R} \quad \dots(m-1)$$

$$\frac{V_{m-1} - V_m}{R} = \frac{I_m}{n} \quad \dots(m)$$

【0096】式(1)、式(2)、...、式( $m-1$ )、式( $m$ )の左辺同士及び右辺同士をそれぞれ加えた後、VDD線の第 $m$ のノードの電位 $V_m$ について解くと、以下に示す計算式〔数9〕を得る。

【0097】

〔数9〕

$$V_m = V_{dd0} - R \cdot \sum_{k=1}^m k \cdot \frac{I_k}{n}$$

【0098】前記のVDD線の第 $m$ のノードの電位 $V_m$ と同様の方法を用いてVSS線の第 $m$ のノードの電位 $U_m$ を求めると、以下に示す計算〔数10〕を得る。

【0099】

〔数10〕

$$U_m = R \cdot \sum_{k=1}^m k \cdot \frac{I_k}{n}$$

【0100】VDD線の電圧降下量は、基準電源電圧V<sub>dd0</sub>とVDD線の第mのノードの電位V<sub>m</sub>との差(V<sub>dd0</sub>-V<sub>m</sub>)で表わされる。一方、VSS線の電圧降下(上昇)量はVSSの第mのノードの電位U<sub>m</sub>で表わされる。この2つの和がVDD線及びVSS線の電圧降下量になる。さらに、配線抵抗Rを配線のシート抵抗ρ<sub>s</sub>、配線幅W及び配線長L<sub>0</sub>で表すと、電圧降下量V<sub>drop</sub>は以下に示す計算式〔数11〕となる。

【0101】

〔数11〕

$$\begin{aligned} V_{drop} &= (V_{dd0} - V_m) + U_m \\ &= 2R \cdot \sum_{k=1}^n I_k \cdot \frac{L_0}{W} \\ &= 2\rho_s \cdot \sum_{k=1}^n I_k \cdot \frac{L_0}{W} \end{aligned}$$

【0102】各回路ブロック1、…、mに実際に印加される実効電源電圧V<sub>ddeff</sub>は、電源端子に印加された基準電源電圧V<sub>dd0</sub>と電圧降下量V<sub>drop</sub>との差から生じる電圧であり、以下に示す計算式〔数12〕のように表わされる。

【0103】

〔数12〕

$$V_{ddeff} = V_{dd0} - 2\rho_s \cdot \sum_{k=1}^n I_k \cdot \frac{L_0}{W}$$

【0104】次に、具体的な集積回路を例に挙げ、実効電源電圧V<sub>ddeff</sub>の数値計算例を示す。

【0105】図11(a)は実効電源電圧V<sub>ddeff</sub>の解析対象とする集積回路のレイアウト図である。ここでは、図10に示した場合と同様に、電源配線の寄生素子として抵抗のみを考慮している。図11(a)に示すように、第1のVDD端子51は第1のVDD線55に接続され、第2のVDD端子52は第2のVDD線56に接続され、第1のVSS端子53は第1のVSS線57に接続され、第2のVSS端子54は第2のVSS線58に接続されている。第1の回路ブロック61、第2の回路ブロック62、第3の回路ブロック63及び第4の回路ブロック64は第1のVDD線55、第2のVDD線56、第1のVSS線57及び第2のVSS線58にそれぞれ接続されている。

【0106】図11(a)に示す集積回路は、図8に示す集積回路において、第1の回路ブロック61、第2の回路ブロック62、第3の回路ブロック63及び第4の回路ブロック64の4つの回路ブロックと、2対のVDD線及びVSS線とが設けられており、VDD線及びVSS線の各配線長が5mmで、各VDD線及びVSS線のブロック当たりの配線長L<sub>0</sub>が1.25mmとする条件に等しい。また、図11(a)に示す集積回路は、第1のVDD線55及び第2のVDD線56並びに第1の

VSS線57及び第2のVSS線58の各シート抵抗ρ<sub>s</sub>をそれぞれ50mΩ/□とする。

【0107】図11(b)に示す集積回路は、図11

(a)に示す集積回路の等価回路を表わしており、第1の回路ブロック61、第2の回路ブロック62、第3の回路ブロック63及び第4の回路ブロック64にそれぞれ流れる平均消費電流をI<sub>61</sub>、I<sub>62</sub>、I<sub>63</sub>及びI<sub>64</sub>とする。

【0108】図12はVDD線及びVSS線の配線幅Wと実効電源電圧V<sub>ddeff</sub>との関係を表わすグラフであって、図11(b)に示す各回路ブロック61、62、63、64のそれぞれの平均消費電流I<sub>61</sub>、I<sub>62</sub>、I<sub>63</sub>及びI<sub>64</sub>が共に等しいと仮定した場合における、計算式

〔数12〕を用いて実効電源電圧V<sub>ddeff</sub>を計算した計算結果である。図12において、171Aは消費電流が5mAの場合を、172Aは消費電流が10mAの場合を、173Aは消費電流が15mAの場合を、及び174Aは消費電流が20mAの場合をそれぞれ表わしている。

【0109】また、図13はVDD線及びVSS線の配線幅Wと遅延時間の相対値との関係を表わすグラフであって、図11(b)に示す各回路ブロック61、62、63、64の4つの回路の平均消費電流I<sub>61</sub>、I<sub>62</sub>、I<sub>63</sub>及びI<sub>64</sub>が共に等しいと仮定した場合における計算結果である。図13において、171Bは消費電流が5mAの場合を、172Bは消費電流が10mAの場合を、173Bは消費電流が15mAの場合を、及び174Bは消費電流が20mAの場合をそれぞれ表わしている。

【0110】具体的な計算方法は、計算式〔数12〕を用いて実効電源電圧V<sub>ddeff</sub>を求めた後、PチャネルMOSFETのドレイン飽和電流を算出する計算式〔数4〕のゲート・ソース間電圧V<sub>gs</sub>に該実効電源電圧V<sub>ddeff</sub>を代入し、その後、遅延時間を算出する計算式〔数5〕を用いて、遅延時間の相対値(=K<sub>v</sub>・(V<sub>dd</sub>))を算出する。

【0111】従来の集積回路の回路設計においては、集積回路の電源電圧VDD及び接地電圧VSSは理想電源と仮定し、該集積回路のVDD端子及びVSS端子に印加される電源電圧はそれぞれ電源電圧VDD及び接地電圧VSSに等しいとされてきた。

【0112】しかしながら、例えば、配線幅30μmのVDD線及びVSS線に平均消費電流10mAの回路が4つ接続される場合には、図12における曲線172Aに示すように、VDD線及びVSS線の電圧変動量の和は電源電圧VDDを3.3Vとして約0.2Vの降下となる。また、図13における曲線172Bに示すように、遅延時間の増加は5%以上となる。従って、周波数が100MHz以上の高速動作を実現させようとする場合は、消費電流が大きくなるため、VDD線及びVSS線の電圧変動による遅延変動を無視できなくなる。



【0113】さらに、0.5 $\mu$ m CMOSプロセス等の微細加工を必要とするプロセスでは、高集積化を図るためメタル配線層の層数が増加することになるが、配線層間の絶縁膜の平坦化を容易にするため、配線層の各膜厚を薄くする傾向にある。この結果、配線層のシート抵抗が増加するため、VDD線及びVSS線の電圧変動が大きくなる傾向にある。

【0114】図14は本発明の第3の実施形態に係る、論理回路におけるVDD線及びVSS線の電圧変動を考慮した遅延計算装置の動作フローを示している。図14において、図3に示した構成要素には同一の符号を付すことにより説明を省略する。

【0115】図14に示すように、レイアウトデータ18は、遅延時間の解析対象となる集積回路のレイアウトデータであって、配線やスタンダードセルのレイアウトデータに加えてVDD線及びVSS線の配置配線情報を有している。回路活性化率データ19は、回路接続情報13の各ノードの電流が切り替わるスイッチング率の情報を有している。セル消費電流データ20は、論理回路に用いるスタンダードセルの消費電流データである。

【0116】以下、前記のように構成された遅延計算装置の動作を説明する。

【0117】まず、電源(VDD・VSS)配線寄生素子抽出工程S10において、電源配線抽出手段は、レイアウトデータ18、配線パラメータ12及び回路接続情報13を用いて、解析対象となる集積回路に接続され、VDD線及びVSS線よりなる電源配線の配線寄生素子を抽出すると共に、VDD線及びVSS線に接続される論理素子の接続情報を抽出する。また、信号配線抽出工程S01において配線抵抗及び配線容量を抽出する。

【0118】その後、消費電流計算工程S11において、消費電流計算手段は、信号配線抽出工程S01において抽出された配線抵抗及び配線容量並びに回路活性化率データ19、セル消費電流データ20及び電源電圧初期値21を用いて、集積回路の消費電流を算出する。

【0119】例えば、各ゲートの消費電流 $I_{dgate}$ を算出するには、以下に示す計算式[数13]が用いられる。

【0120】

【数13】

$$I_{dgate} = I_{cl} + I_{pen} \\ = K_s \cdot f \cdot C_l \cdot V_{dd} + \frac{K_s \cdot I_{pp} \cdot T_s}{2}$$

【0121】ここで、第1項の $I_{cl}$ はセルが負荷容量の充電又は放電を行なうときに必要な電流であり、 $K_s$ は回路活性化率、 $f$ は動作周波数、 $C_l$ は負荷容量、 $V_{dd}$ は電源電圧である。第2項の $I_{pen}$ はセルのスイッチング時にVDD線とVSS線との間に流れる貫通電流を表わしている。貫通電流 $I_{pen}$ は、セルの入力電圧がVSSからVDD又はVDDからVSSにスイッチングする

スイッチング期間 $T_s$ に、PMOSにより構成されたプルアップ回路とNMOSにより構成されたプルダウン回路とに流れる電流が等しく且つ最大になるときの値が最大貫通電流 $I_{pp}$ となると仮定して三角波近似を行なっている。スイッチング期間 $T_s$ はセルの駆動能力、配線容量及び配線抵抗によって決定される。

【0122】回路活性化率 $K_s$ は、例えば、集積回路の回路設計における機能設計段階の機能記述から、論理合成によってゲートレベルのネットリストを作成する段階でシミュレーションを行ない、各ノードのスイッチング頻度を求めることによって算出できる。回路活性化率 $K_s$ は配線容量やセルライブラリの電流データに依存しないため、実配線の負荷容量や抵抗容量の情報がなくても該ネットリストにテストパターンを与えることにより、各ノードの回路活性化率 $K_s$ を算出することができる。いったん、回路活性化率 $K_s$ が求まると、製造プロセスを変更した場合や、動作周波数、電源電圧などの動作条件を変更した場合、さらには、ソフトマクロライブラリのようにレイアウトの形状を適宜変更する場合などでも、ネットリストにテストパターンを与え直して消費電流 $I_{dgate}$ をシミュレーションしなおさなくてもよい。

【0123】このように、計算式[数13]を用いることにより、あらかじめ求めておいた回路活性化率、配線容量、配線抵抗及びセルの消費電流データから、消費電流 $I_{dgate}$ を静的に計算できるという利点がある。

【0124】また、回路活性化率 $K_s$ として、ネットリストが有する論理関数に基づいた論理値の遷移確率を用いる方法がある。この例を、図15(a)に示す全加算器の回路図と図15(b)及び(c)に示す真理値表とを用いて説明する。図15(a)に示すように、本実施形態に係る全加算器は、中間和 $s$ を出力する中間和生成回路Aと中間桁上げ $c_o$ を出力する中間桁上げ生成回路Bとからなる。

【0125】中間和生成回路Aは、一方の入力端子がノードbに接続され、他方の入力端子がノードciに接続され、出力端子がノードuに接続された第1のNANDゲートG1と、一方の入力端子がノードbに接続され、他方の入力端子がノードciに接続され、残りの入力端子がノードuに接続され、出力端子がノードvに接続された第1のNAND-OR複合ゲートG2と、一方の入力端子がノードaに接続され、他方の入力端子がノードvに接続され、出力端子がノードsに接続されたEX-NORゲートG3とからなっており、図15(b)に該中間和生成回路Aの真理値表を示す。

【0126】中間桁上げ生成回路Bは、一方の入力端子がノードbに接続され、他方の入力端子がノードciに接続され、残りの入力端子がノードaに接続され、出力端子がノードwに接続された第2のNAND-OR複合ゲートG4と、一方の入力端子がノードbに接続され、他方の入力端子がノードciに接続され、出力端子がノ

ードxに接続された第2のNANDゲートG5と、一方の入力端子がノードwに接続され、他方の入力端子がノードxに接続され、出力端子がノードcoに接続された第3のNANDゲートG6とからなっており、図15(c)に該中間桁上げ生成回路Bの真理値表を示す。

【0127】図15(b)に示すように、ノードuの論理値は“1”である確率が3/4であり、論理値“0”である確率が1/4である。この結果に基づいてノードuの論理値が遷移する確率を求めると、論理値“1”から論理値“0”に遷移する確率は $3/4 \times 1/4 = 3/16$ である。また、論理値“0”から論理値“1”に遷移する確率は $1/4 \times 3/4 = 3/16$ である。他のノードv, w, xについても、同様に、論理値“0”から“1”、又は論理値“1”から“0”にそれぞれ遷移する確率を求めることができる。

【0128】論理値“0”から“1”への遷移は、論理素子内のPチャネルMOSFETのスイッチングによるVDD線からの充電を意味し、この充電時にVDD線に電圧降下が発生する。また、論理値“1”から“0”への遷移は、論理素子内のNチャネルMOSFETのスイッチングによるVSS線への放電を意味し、VSS線に電圧降下(実際には電圧上昇)が発生する。このように、ネットリストに含まれる論理関数を用いて論理値の遷移確率を求め、該遷移確率に従ってVDD線又はVSS線に流れる電流を算出することができる。

【0129】なお、当然ながら、テストパターンを用いて消費電流I<sub>gate</sub>を動的に算出する方法を用いてもよい。

【0130】次に、消費電流計算工程S11における消費電流計算手段により算出された消費電流と、電源配線寄生素子抽出工程S10における電源配線抽出手段により抽出された配線寄生素子を用い、電源(VDD・VSS)配線電圧変動計算工程S12においてVDD線及びVSS線の電圧変動量が算出された後、実効電源電圧計算工程S13における実効電源電圧計算手段により該回路に印加される実効的な電源電圧である実効電源電圧V<sub>ddeff</sub>が算出される。

【0131】以降、第1の実施形態において説明したのと同様に、遅延計算工程S02、遅延電源係数決定工程S03及び実効遅延計算工程S04の順に処理を行なって、解析対象となる集積回路の実効的な遅延時間を算出することができる。

【0132】このように、本実施形態によると、製造プロセスの微細化に伴って発生するVDD線及びVSS線の電圧変動による遅延時間の増大を論理レベルの遅延計算を行なうときに、確実に見積もることができる。

【0133】なお、回路活性化率K<sub>s</sub>として、遷移確率の代わりに直接スイッチング頻度を用いてもよい。

【0134】また、本実施形態では、レイアウト設計終了後の設計データを対象に遅延計算を行なったが、レイ

アウト設計前でもフロアプランからの推定データをもとに配線抵抗を計算することにより、遅延時間の増加を見積もることができる。

【0135】また、スタンダードセルを用いたビルディングブロック方式の回路を想定したが、ゲートアレイなどの回路であってもよい。

【0136】(第4の実施形態)以下、本発明の第4の実施形態を図面に基づいて説明する。

【0137】第3の実施形態においては、消費電流を直流的に扱っている。実際には、回路の動作時刻に応じて消費電流が動的に変化するため、直流的に仮定した消費電流を用いると、VDD線・VSS線の電圧変動量を過小に見積もる場合や過大に見積もる場合が生じ得る。

【0138】本実施形態は、実際の回路動作で動的に変化する消費電流を扱えるように、静的な方法を用いて回路の動作時刻に応じた消費電流及び電源線の電圧変動量を計算する方法及び手段を導入することにより、実効電源電圧の精度向上を図っている。

【0139】図16は本実施形態に係る、論理回路におけるVDD線及びVSS線の電圧変動に論理素子の動作時刻を考慮した遅延計算装置の動作フローを示している。ここで、図16において、図14と同一の構成要素には同一の符号を付すことにより説明を省略する。第3の実施形態との違いは、動的消費電流計算工程S200において、遅延計算工程S02の計算結果と電源(VDD・VSS)配線寄生素子抽出工程S10の抽出結果とに基づいて消費電流の動的な変化を考慮することにある。

【0140】図17は図16における動的消費電流計算工程S200の詳細フローを示し、図17に示すように、遅延計算工程S02の計算結果を受ける回路遅延判定工程S201は、回路遅延が最大となる遅延パス内のゲート出力と他のゲート出力とが立ち上がり遅延となるか又は立ち下がり遅延となるかをそれぞれ判定する工程である。立ち上がり遅延となる場合はVDD線に電流が流れ、立ち下がり遅延となる場合はVSS線に電流が流れると仮定する。従って、立ち上がり遅延の場合には、VDD線消費電流波形計算工程S202において一のVDD線に流れる消費電流を該VDD線に接続される論理素子の動作時刻に合わせて計算し、一方、立ち下がり遅延の場合には、VSS線消費電流波形計算工程S203において一のVSS線に流れる消費電流を該VSS線に接続される論理素子の動作時刻に合わせて計算する。

【0141】通常、遅延計算結果は静的タイミング解析手法を用いて求められるため、この手法を用いて全論理素子の消費電流の和を求めると、この消費電流の和に、同一時刻に動作しない論理素子の消費電流を含んでしまう。これを回避するため、実効消費電力計算工程S204において、回路活性化率データ19を用いて一の動作時刻に動作する論理素子のみを対象とする、より現実的



な消費電流を求める。

【0142】図17に示すVDD線消費電流波形計算工程202及びVSS線消費電流波形計算工程203における各処理を図18を用いて説明する。図18は図15に示した第3の実施形態に係る全加算器を用いて、スイッチングを行なう各論理ゲートに対するVSS線又はVDD線の関係を示している。図15において、第1のNANDゲートG1、第1のNAND-OR複合ゲートG2、第2のNAND-OR複合ゲートG4及び第2のNANDゲートG5は一のVDD線・VSS線対に接続されており、EX-NORゲートG3及び第3のNANDゲートG6は他のVDD線・VSS線対に接続されているとする。ここで、最大遅延パスは、ノードb、u、v、sを通るパスであって、ノードb、u、v、sの各電位、すなわち、各論理値が{b、u、v、s}={0、1、0、1}から{b、u、v、s}={1、0、1、0}に遷移すると仮定する。このときの他のノードの論理値は、静的タイミング解析の結果等から判別できる。

【0143】最大遅延パスの各ノードb、u、v、sを、上記の電位変化のように活性化可能なテストパターンが見つけれられる場合には、論理回路内の各ノードが“0”から“1”に遷移するときにはVDD線に電流が流れ、また、論理値が“1”から“0”に遷移するときにはVSS線に電流が流れると仮定する。この仮定を簡略化するときには、最大遅延パスには上記ノードの論理値遷移に設定し、他のノードについては第3の実施形態において示した論理関数から決まる遷移確率に基づいてVDD線及びVSS線のうちいずれに電流が流れるかを決定する。

【0144】また、図19(a)は図17に示すライブラリのうち、消費電流の計算に用いるセル消費電流データ20の構成要素の一例を示しており、図19(b)に示すように、該ライブラリには消費電流Iを三角波近似しており、負荷容量及び配線抵抗(時定数RC)と該負荷容量及び配線抵抗に応じたピーク電流I<sub>peak</sub>と遷移時刻の半値幅ΔTとが記述されている。

【0145】まず、図18(a)に示すように、ノードb及びvは論理値が0から1に遷移するためノードの電圧値Vが上昇し、ノードu及びsは論理値が1から0に遷移するためノードの電圧値Vが下降していることが分かる。これらの各論理素子のスイッチング時刻にそれぞれ対応するように、図18(b)に示す三角波近似されたピーク電流I<sub>peak</sub>の時刻とを一致させ、各論理素子の電流波形を重ね合わせるによりVDD線又はVSS線に流れる消費電流をそれぞれ算出する。このとき、VDD・VSS線配線寄生素子抽出工程S10の抽出結果を参照しながら、一のVDD線・VSS線対に接続される論理素子の消費電流波形を重ね合わせる。図15に示す全加算器の場合には、第1のNANDゲートG1、第

1のNAND-OR複合ゲートG2、第2のNAND-OR複合ゲートG4及び第2のNANDゲートG5に流れる消費電流波形を互いに重ね合わせることになる。

【0146】次に、図18(c)に示すように、全加算器に流れる実効的な消費電流を計算する。前述したように、通常の静的タイミング解析を用いて求めると、全論理素子の消費電流の和として、同一時刻に動作しない論理素子の消費電流を含めて計算してしまうことになる。これを解決するため、最大遅延パス(解析対象となるパス)内の論理素子においては、最大遅延パスとなるときの論理変化の消費電流を設定し、それ以外の論理素子においては回路活性化率データ19における回路活性化率K<sub>s</sub>を消費電流に乘じることによって、実効的な消費電流を算出する。

【0147】なお、回路活性化率データ19は、最大遅延パスとなるテストパターンが得られる場合には、そのときの各論理素子の出力の状態変化に基づいて設定する。また、より簡略化する場合には、第3の実施形態で示したように、論理関数によって決定される遷移確率を用いて算出すればよい。

【0148】次に、図18(d)に示すように、VDD線・VSS線対に流れる消費電流からその電圧降下量を計算した後、第3の実施形態と同様に各論理素子ごとに実効電源電圧を計算し、遅延時間Δtを補正した実効的な遅延時間を算出する。遅延時間Δtは、[数11]における電圧降下量V<sub>drop</sub>、[数12]における実効電源電圧V<sub>ddef</sub>及び[数13]における実効的な消費電流I<sub>dgate</sub>を用いて求めることができる。なお、[数13]に示すように、消費電流I<sub>dgate</sub>の時間依存性は論理素子のスイッチング期間T<sub>s</sub>に依存している。従って、遅延時間Δtの補正を、動作時刻の早い論理素子から順次行ない、補正後の遅延時間を用いて再度消費電流の時間依存性を算出することによって、この消費電流I<sub>dgate</sub>の時間依存性に対応することができる。なお、図18(d)において、第1のNANDゲートG1の出力であるノードuの遅延のみを記しているが、他の論理素子の出力についても同様の補正を行なう。

【0149】このように、本実施形態によると、製造プロセスの微細化に伴って発生するVDD線及びVSS線の電圧変動による遅延時間の増大を、論理レベルの遅延計算を行なうときに消費電流の動的な変化を考慮することにより確実に見積もることができる。

【0150】また、VDD線及びVSS線に接続された容量(C)成分又はインダクタンス(L)成分による周波数依存性を有する電源線のインピーダンス変化も同様に、消費電流の時間依存性から求めることができる。

【0151】なお、本実施形態では、レイアウト設計終了後の設計データを対象に遅延計算を行なったが、レイアウト設計前でもフロアプランからの推定データをもとに配線抵抗を算出することにより、遅延時間の増加を見

積もることができる。

【0152】また、スタンダードセルを用いたビルディングブロック方式の回路を想定したが、ゲートアレイなどの回路であってもよい。

【0153】(第5の実施形態)以下、本発明の第5の実施形態を図面に基づいて説明する。

【0154】図20は本発明の第5の実施形態に係る、論理回路におけるVDD線及びVSS線の電圧変動を考慮した遅延計算装置の動作フローを示している。

【0155】本実施形態の特徴として、消費電流と実効電源電圧とは相互に依存するため、前記第3の実施形態に示した遅延計算装置における消費電流の計算及び電源線の電圧変動の計算に再帰的に計算を行なう計算ループ手段L14と収束条件判定手段S14とを導入することにより、実効電源電圧の精度向上を図っている。

【0156】以下、前記のように構成された遅延計算装置の動作を説明する。

【0157】前記第3の実施形態との差異のみを説明すると、消費電流計算工程S1.1において、消費電流計算手段は、電源電圧初期値2.1に基づいて、解析対象とする集積回路の消費電流 $I_{dd}(0)$ の計算を行なった後、実効電源電圧計算工程S1.3において、実効電源電圧計算手段は、まず、消費電流 $I_{dd}(0)$ をもとにVDD線及びVSS線の電圧変動を考慮した実効電源電圧 $V_{dd}(0)$ を計算する。該実効電源電圧 $V_{dd}(0)$ をもとに再度消費電流 $I_{dd}(1)$ を計算し、さらに実効電源電圧 $V_{dd}(1)$ を計算する。このように再帰的な消費電流 $I_{dd}(i)$ (但し、 $i=1, 2, \dots$ の整数とする。)と実効電源電圧 $V_{dd}(i)$ (但し、 $i=1, 2, \dots$ の指数とする。)との計算を繰り返して、収束条件判定工程S14において、収束条件判定手段は、以下に示す判定式〔数14〕に示す収束条件を満足するか否かの判定を行なう。

【0158】

〔数14〕

$$|V_{dd}(i) - V_{dd}(i-1)| \leq \delta$$

【0159】ここで、 $V_{dd}(i)$ が*i*回目の計算ループL14により決定された実効電源電圧、 $V_{dd}(i-1)$ は(*i*-1)回目の計算ループL14により決定された実効電源電圧、 $\delta$ は実効電源電圧の収束範囲の上限であって、例えば電源電圧の1%程度の値とすればよい。判定式〔数14〕を満たせば計算ループL14から抜け、最後に計算した電源電圧 $V_{dd}(i)$ を実効電源電圧 $V_{dd\text{eff}}$ とする。

【0160】以降、前記第3の実施形態において説明したのと同様に、遅延計算工程S02、遅延電源係数決定工程S03及び実効遅延計算工程S04の順に処理を行なって、解析対象となる集積回路の実効的な遅延時間を算出することができる。

【0161】このように、本実施形態によると、相互に

依存関係の強い回路の消費電流と実効電源電圧とを再帰的なループを形成して計算するため、遅延時間の計算精度をさらに向上させることができる。

【0162】(第6の実施形態)以下、本発明の第6の実施形態を図面に基づいて説明する。

【0163】図21は本発明の第6の実施形態に係る論理回路における遅延計算方法及び遅延計算装置が解析の対象とする集積回路のレイアウト図である。

【0164】本実施形態の特徴として、集積回路の外部電源端子から該集積回路の内部に配置されている回路ブロックの電源端子まで、及び該回路ブロックから該ブロックの内部に配置されているスタンダードセルの電源端子までの各電源線の電圧変動を階層的に求めることにより、スタンダードセルの遅延時間を算出する。

【0165】図21において、外部電源端子としての第1のVDD端子71は第1のVDD線75に接続され、第2のVDD端子72は第2のVDD線76に接続され、第1のVSS端子73は第1のVSS線77に接続され、第2のVSS端子74は第2のVSS線78に接続されている。第1の回路ブロック91A、第2の回路ブロック92A、第3の回路ブロック93A及び第4の回路ブロック94Aは第1のVDD線75、第2のVDD線76、第1のVSS線77及び第2のVSS線78にそれぞれ接続されている。

【0166】第1のVDD線75には、第1のブロック用VDD電源端子711、第2のブロック用VDD電源端子712、第3のブロック用VDD電源端子713及び第4のブロック用VDD電源端子714が設けられ、第1のVSS線77には、第1のブロック用VSS電源端子731、第2のブロック用VSS電源端子732、第3のブロック用VSS電源端子733及び第4のブロック用VSS電源端子734が設けられている。

【0167】同様に、第2のVDD線76には、第5のブロック用VDD電源端子721、第6のブロック用VDD電源端子722、第7のブロック用VDD電源端子723及び第8のブロック用VDD電源端子724が設けられ、第2のVSS線78には、第5のブロック用VSS電源端子741、第6のブロック用VSS電源端子742、第7のブロック用VSS電源端子743及び第8のブロック用VSS電源端子744が設けられている。

【0168】第1の回路ブロック91Aには、第1のブロック内VDD線79、第2のブロック内VDD線80、第1のブロック内VSS線81及び第2のブロック内VSS線82が設けられている。第1のVDD線79、第2のVDD線80、第1のVSS線81及び第2のVSS線82にそれぞれセル用電源端子(図示せず)を介して接続されている第1のスタンダードセル911、第2のスタンダードセル912、第3のスタンダードセル913、第4のスタンダードセル914等が配置

されている。

【0169】なお、第1の回路ブロック91Aと同様に、第2の回路ブロック92A及び第3の回路ブロック93A等にもその内部には複数のスタンダードセルが配置されている。

【0170】図22(a)は図21に示す集積回路の第1の等価回路図である。図22(a)において、91Bは第1の回路ブロック91Aの第1の等価回路、92Bは第2の回路ブロック92Aの等価回路、93Bは第3の回路ブロック93Aの等価回路及び94Bは第4の回路ブロック94Aの等価回路をそれぞれ表わしており、I91は第1の回路ブロックの第1の等価回路91Bの平均消費電流、I92は第2の回路ブロックの等価回路92Bの平均消費電流、I93は第3の回路ブロックの等価回路93Bの平均消費電流、I94は第4の回路ブロックの等価回路94Bの平均消費電流をそれぞれ表わしている。

【0171】また、図22(b)は図22(a)に示す第1の回路ブロックの第2の等価回路図である。図22(b)において、91Cは第1の回路ブロックの第2の等価回路を表わし、I911は図21に示す第1のスタンダードセル911の平均消費電流、I912は第2のスタンダードセル912の平均消費電流、I913は第3のスタンダードセル913の平均消費電流及びI914は第4のスタンダードセル914の平均消費電流をそれぞれ表わしている。

【0172】前記のように構成された集積回路における、VDD線及びVSS線の電圧変動を考慮して信号伝搬時間の遅延を算出するには、消費電流の計算と電源電圧の計算とを順次階層的に行なう必要がある。

【0173】図23は本発明の第6の実施形態に係る論理回路における階層構造を考慮した遅延計算装置の動作フローを示している。図23において、図20に示した構成要素には同一の符号を付すことにより説明を省略する。

【0174】本実施形態の特徴として、図23に示すように、消費電流及び実効電源電圧を算出する各工程において、回路ブロック単位に計算を行なうブロックレベル消費電流計算手段と、該ブロックレベル消費電流計算手段により回路ブロックごとに算出された消費電流の総和を求め、解析対象である集積回路全体の消費電流を算出するチップレベル消費電流計算手段と、チップレベルの消費電流に基づいてチップレベルの電源配線の電圧変動量を算出するチップレベルVDD・VSS配線電圧変動計算手段と、チップレベルの電源配線の電圧変動量を用いてブロックレベルの電源配線の電圧変動量を算出するブロックレベルのVDD・VSS配線電圧変動計算手段とを備えている。

【0175】以下、前記のように構成された遅延計算装置における消費電流の計算及び実効電源電圧の計算手順

を説明する。

【0176】図23に示すように、まず、ブロックレベル消費電流計算工程S111において、ブロックレベル消費電流計算手段は、解析対象とする集積回路の動作基準となる電源電圧である電源電圧初期値21に基づいて、回路ブロック内の各スタンダードセル（又は論理ゲート）ごとの消費電流を算出する。例えば、ブロックレベルの消費電流計算とは、図22(b)に示す等価回路において、第1の回路ブロック91Cにおける第1のスタンダードセル911の平均消費電流I911や第2のスタンダードセル912の平均消費電流I912等を算出することに対応する。

【0177】次に、チップレベル消費電流計算工程S112において、チップレベル消費電流計算手段は、ブロックレベル消費電流計算手段により算出された消費電流データを用いて、集積回路における各回路ブロックの消費電流を算出する。例えば、チップレベルの消費電流計算とは、図22(a)に示す等価回路において、第1の回路ブロック91Bの平均消費電流I91や第2の回路ブロック92Bの平均消費電流I92等を算出することに対応する。

【0178】次に、チップレベルVDD・VSS配線電圧変動計算工程S121において、チップレベル変動電圧計算手段は、チップレベルの消費電流データをもとに、チップの電源端子から各回路ブロックの電源端子までのVDD線及びVSS線のチップレベルの変動電圧としての電圧変動量を算出する。例えば、チップレベルの変動電圧計算とは、図22(a)に示す等価回路において、第1の回路ブロック91Bの平均消費電流I91や第2の回路ブロック92Bの平均消費電流I92等を用いて、第1のVDD線75及び第1のVSS線77等の電圧変動量を算出することに対応する。

【0179】次に、ブロックレベルVDD・VSS配線電圧変動計算工程S122において、ブロックレベル変動電圧計算手段は、ブロックレベルの消費電流データをもとに、回路ブロックの各電源端子からスタンダードセルの各電源端子までのVDD線及びVSS線のブロックレベルの変動電圧としての電圧変動量を算出する。例えば、ブロックレベルの変動電圧計算とは、図22(b)に示す等価回路において、第1の回路ブロック91Cにおける第1のスタンダードセル911の平均消費電流I911や第2のスタンダードセル912の平均消費電流I912等から、第1のブロック内VDD線79、第1のブロック内VSS線81等の電圧変動量を算出することに対応する。

【0180】次に、実効電源電圧計算工程S13において、実効電源電圧計算手段は、ブロックレベルの電圧変動量であるブロックレベルの変動電圧と、チップレベルの電圧変動量であるチップレベルの変動電圧との和を求め、第1のVDD線75、第1のVSS線77等に印加

される電源電圧から該変動電圧の和を差し引くことにより、各スタンダードセル911、912、913、914等に印加される実効電源電圧を決定する。

【0181】また、収束条件判定工程S14は、前記第5の実施形態と同様に、消費電流と実効電源電圧との計算を再帰的に行なうことにより、実効電源電圧の精度の向上を図っている。

【0182】以降、遅延計算工程S02、遅延電源係数決定工程S03及び実効遅延計算工程S04の順に処理を行なって、解析対象となる集積回路の実効的な遅延時間を算出することができる。

【0183】このように、消費電流の計算と実効電源電圧の計算とを階層的に行なうことにより、ビルディングブロック方式等により設計された大規模な集積回路においても、回路全体(=1チップ)の遅延検証を確実に実現することができる。

【0184】なお、本実施形態においても、第4の実施形態において説明したように、ブロックレベル消費電流計算工程S111に、遅延計算工程S02の計算結果と電源(VDD・VSS)配線寄生素子抽出工程S10の抽出結果とに基づいて消費電流の動的な変化を計算する動的消費電流計算工程を含めると、電源配線の電圧変動による遅延時間の見積もりを一層確実に行なえるようになる。

【0185】(第7の実施形態)以下、本発明の第7の実施形態を図面に基いて説明する。

【0186】本実施形態においては、論理回路における遅延時間の電源電圧による変化の影響を遅延データとして論理ライブラリに組み込むための計算方法を説明する。

【0187】図24は本発明の第7の実施形態に係る遅延ライブラリの遅延データを求める計算方法の処理フローである。

【0188】ここで、遅延時間の計算を簡単にするために、遅延時間を負荷容量に依存しないセル固有遅延と、負荷容量に依存して増加する依存遅延の2つの成分からなるものとする。基準電源電圧Vdd0で抽出したセル遅延データを以下の計算式[数1.5]に示す。

【0189】

【数1.5】

$$Td0 = t_{0\_0} + \Delta t_{0\_0} \cdot C1$$

【0190】ここで、Td0は基準電源電圧Vdd0における信号の遅延時間、t0\_0は負荷容量に依存しない遅延時間、 $\Delta t_{0\_0}$ は負荷容量C1に比例する遅延時間である。

【0191】以下、計算式[数1.5]に示す遅延データt0\_0及び $\Delta t_{0\_0}$ の電源電圧依存性の計算手順を説明する。図19に示すように、基準電源電圧Vdd0における遅延データt0\_0及び $\Delta t_{0\_0}$ は基準電源電圧遅延データD001として、また、キャリアの移動度や酸化膜

厚等のドレイン飽和電流Idspiを決める飽和電流パラメータD002はあらかじめ用意されている。なお、PチャネルMOSFETのドレイン飽和電流Idsは計算式[数4]で表わされるものとする。

【0192】まず、図24に示すように、動作電源電圧設定工程S001において、論理回路の動作電源電圧Vddiが所望のセルに与えられると、指数決定工程S002において動作電源電圧Vddiに与えられた電圧値に従って指数 $\alpha_i$ を決定する。

【0193】次に、ドレイン飽和電流決定工程S003において、計算式[数4]に従ってIdspiを決定した後、遅延電源係数計算工程S004において、基準となるVdd0に対するVddiの比の値である電源電圧係数( $=Vddi/Vdd0$ )と、Idspiに対する基準となる電流Idsp0との比の値である電流係数( $=Idspi/Idsp0$ )を計算し、電源電圧係数と電流係数との積を計算して遅延電源係数Kvを算出する。

【0194】次に、遅延データ決定工程S005において、基準電源電圧遅延データD0001と遅延電源係数Kvとの積を求めて、遅延データD003( $=t0_0 \cdot Kv$ )を決定する。この2つの遅延データと計算式[数1.5]との計算結果を用いると、遅延時間Tdは以下に示す計算式[数1.6]のように表わされる。

【0195】

【数1.6】

$$Td = Kv \cdot Td0$$

$$= Kv \cdot t_{0\_0} + Kv \cdot \Delta t_{0\_0} \cdot C1$$

【0196】なお、動作電源電圧Vddiと指数 $\alpha_i$ との相関関係の具体的な付与方法として、例えば、表形式のテーブルモデルを用いる方法等が考えられる。

【0197】このように、本実施形態によると、論理回路におけるセルに動作電源電圧Vddiを与え、且つ、該動作電源電圧Vddiと指数 $\alpha_i$ の関係を求めることのみによって、スタンダードセルにおける遅延データの電源電圧依存性を容易に且つ確実に算出することができる。

【0198】また、本実施形態の特徴として、多ビットの加算セルなどの多入力ゲートの場合に、ある1つの電圧条件で求めた遅延値が使えるため、遅延データの抽出時間が短くなるので、従って、セルライブラリの開発期間の短縮化を図ることができる。

【0199】

【発明の効果】本発明に係る第1の論理回路の遅延計算方法によると、第1の電源電圧に対する第2の電源電圧の比の値からなる電源電圧係数を求め、第2の電源電圧が印加されたときのFETのドレイン飽和電流に対する第1の電源電圧が印加されたときのFETのドレイン飽和電流の比の値からなる電流係数を求め、第1の電源電圧が印加されたときの論理回路の遅延時間と電源電圧係数と電流係数との積を算出し、該算出結果を第2の電源電圧が印加されたときの論理回路の遅延時間である第2

の遅延時間とするため、電源電圧とFETのドレイン飽和電流との関係を決めると、セルライブラリから第1の電源電圧で抽出された遅延データを用いて、論理回路の遅延時間の電源電圧依存性を容易に且つ解析的に求めることができる。

【0200】本発明に係る第2の論理回路の遅延計算方法によると、基準電源電圧に対する回路ブロックごとの電源電圧の比の値からなる電源電圧係数をそれぞれ求め、回路ブロックごとの電源電圧が印加されたときのFETのドレイン飽和電流に対する基準電源電圧が印加されたときのFETのドレイン飽和電流の比の値からなる電流係数をそれぞれ求め、基準電源電圧が印加されたときの回路ブロックの各遅延時間に、該回路ブロックに対応する電源電圧係数及び電流係数をそれぞれ乗ずることにより、回路ブロックごとの電源電圧が印加されたときの遅延時間を算出するため、回路ブロックごとの電源電圧とFETのドレイン飽和電流との関係を決めると、セルライブラリから基準となる電源電圧で抽出された遅延データを用いて、論理回路の複数設けられた回路ブロックごとの遅延時間の電源電圧依存性を容易に且つ解析的に求めることができる。

【0201】本発明に係る第3の論理回路の遅延計算方法によると、基準電源電圧に対し電圧変動を反映させた実効電源電圧の比の値からなる電源電圧係数を求め、実効電源電圧が印加されたときのFETのドレイン飽和電流に対する基準電源電圧が印加されたときのFETのドレイン飽和電流の比の値からなる電流係数を求め、基準電源電圧が印加されたときの回路ブロックの遅延時間に、実効電源電圧が印加されたときの電源電圧係数及び電流係数を乗ずることにより、実効電源電圧が印加されたときの遅延時間を算出するため、電圧変動量が反映された実効的な電源電圧とFETのドレイン飽和電流との関係を決めると、セルライブラリから基準となる電源電圧で抽出された遅延データを用いて、論理回路の実効的な電源電圧が印加されたときの遅延時間の電源電圧依存性を容易に且つ解析的に求めることができる。

【0202】第3の論理回路の遅延計算方法において、論理回路の消費電流を、複数の論理素子のうち、一の動作時刻に合わせて共に動作する特定の論理素子ごとの消費電流の和とし、消費電流の和に基づいて特定の論理素子が接続される電源線の電圧変動量を算出し、電源線の電圧変動量を変動電圧とすると、消費電流の時間変化による動的な電源線の電圧変動量を考慮した遅延時間を容易に且つ解析的に求めることができる。

【0203】第1～3の論理回路の遅延計算方法において、FETがPチャネルMOSFETであると、ドレイン飽和電流の電源電圧依存性はPチャネルMOSFETの方がNチャネルMOSFETよりも大きいので、遅延時間の電源電圧依存性がドレイン飽和電流に対する電源電圧の比の値にほぼ一致するので、電源電圧が印加され

たときの遅延時間の電源電圧依存性を確実に求めることができる。

【0204】第1～3の論理回路の遅延計算方法において、FETのドレイン飽和電流を、電源電圧とFETのしきい値電圧との差を所定の係数で累乗し、累乗して得られた値に電流の利得係数を乗じることにより求めると、FETのドレイン飽和電流を確実に求めることができる。

【0205】本発明に係る第1の論理回路の遅延計算装置によると、第1の電源電圧に対する第2の電源電圧の比の値からなる電源電圧係数を求めると共に、第2の電源電圧が印加されたときのFETのドレイン飽和電流に対する第1の電源電圧が印加されたときのFETのドレイン飽和電流の比の値からなる電流係数を求める遅延電源係数決定手段と、第1の電源電圧が印加されたときの論理回路の遅延時間を算出する遅延計算手段と、該遅延計算手段が算出した遅延時間と電源電圧係数と電流係数との積を算出し、該算出結果を第2の電源電圧が印加されたときの論理回路の実効遅延時間とする実効遅延計算手段とを備えているため、電源電圧とFETのドレイン飽和電流との関係を決めると、セルライブラリから第1の電源電圧で抽出された遅延データを用いて、論理回路の遅延時間の電源電圧依存性を容易に且つ解析的に求めることができる。

【0206】第1の論理回路の遅延計算装置において、基準電源電圧に対する各回路ブロックの電源電圧の比の値を定義するブロック別電源電圧係数を決定する手段と、各回路ブロックの電源電圧が印加されたときのFETのドレイン飽和電流に対する基準電源電圧が印加されたときのFETのドレイン飽和電流の比の値を定義するブロック別電流係数を決定する手段とを有していると、回路ブロックごとの電源電圧とFETのドレイン飽和電流との関係を決めれば、セルライブラリから基準となる電源電圧で抽出された遅延データを用いて、論理回路の複数設けられた回路ブロックごとの遅延時間の電源電圧依存性を容易に且つ解析的に求めることができる。

【0207】本発明に係る第2の論理回路の遅延計算装置によると、消費電流と電源配線の配線寄生素子とから電源配線の電圧変動を算出し、電源端子に印加される電源電圧と電圧変動分の電位との差を求めて実効的な電源電圧である実効電源電圧を算出する実効電源電圧計算手段と、電源電圧に対する実効電源電圧の比の値である電源電圧係数を決定すると共に、該実効電源電圧が印加されたときのFETのドレイン飽和電流に対する電源電圧が印加されたときのFETのドレイン飽和電流の比の値である電流係数を決定する遅延電源係数決定手段と、信号線の配線抵抗及び配線容量と論理素子の遅延データとから電源電圧が印加されたときの遅延時間を算出する遅延計算手段と、該遅延計算手段が算出した遅延時間と電源電圧係数と電流係数との積を算出し、該算出結果を論

理回路の実効遅延時間とする実効遅延計算手段とを備えているため、電圧変動量が反映された実効的な電源電圧とFETのドレイン飽和電流との関係を決めると、セルライブラリから基準となる電源電圧で抽出された遅延データを用いて、論理回路の実効的な電源電圧が印加されたときの遅延時間の電源電圧依存性を容易に且つ解析的に求めることができる。

【0208】第2の論理回路の遅延計算装置において、消費電流計算手段が、複数の論理素子のうち、一の動作時刻に合わせて共に動作する特定の論理素子ごとの消費電流の和を算出し、実効電源電圧計算手段が、消費電流の和と電源配線の配線寄生素子とを用いて特定の論理素子が接続される電源配線の電圧変動量を算出し、遅延電源係数決定手段が、複数の論理素子のうち動作時刻の早い論理素子から順に、該論理素子に印加される実効電源電圧を用いて論理素子ごとに電源電圧係数と電流係数とを算出すると、消費電流の時間変化による動的な電源配線の電圧変動量を考慮した遅延時間を容易に且つ解析的に求めることができる。

【0209】第2の論理回路の遅延計算装置において、消費電流計算手段が、回路ブロックの消費電流を算出するブロックレベル消費電流計算手段と、回路ブロックの消費電流から集積回路の消費電流を算出するチップレベル消費電流計算手段とを有しており、実効電源電圧計算手段が、チップレベルの実効電源電圧を算出するチップレベル実効電源電圧計算手段とブロックレベルの実効電源電圧を算出するブロックレベル実効電源電圧計算手段とを有しており、ブロックレベルの実効電源電圧に基づいて集積回路の実効遅延時間を算出すると、消費電流の計算と実効電源電圧の計算とをチップレベル、ブロックレベル、セルレベルというように階層的に順次行なうことにより、大規模な集積回路においても、確実に遅延時間を求めることができる。

【0210】第2の論理回路の遅延計算装置において、消費電流計算手段が、複数のスタンダードセルのうち、一の動作時刻に合わせて共に動作する特定のスタンダードセルごとの消費電流の和を算出して、スタンダードセルの消費電流とし、該スタンダードセルの消費電流と電源配線の配線寄生容量とを用いて特定のスタンダードセルが接続される電源配線の電圧変動量を算出し、遅延電源係数決定手段が、複数の論理素子のうち動作時刻の早い論理素子から順に、該論理素子に印加される実効電源電圧を用いてスタンダードセルごとに電源電圧係数と電流係数とを算出すると、消費電流の時間変化による動的な電源配線の電圧変動量を考慮した遅延時間を容易に且つ解析的に求めることができる。

【0211】第2の論理回路の遅延計算装置において、消費電流計算手段が、接続情報のノードごとのスイッチング頻度を付与するスイッチング頻度データ付与手段を有し、スイッチング頻度、配線抵抗、配線容量及びスタ

ンダードセルの消費電流データから集積回路の消費電流を算出すると、スイッチング頻度は配線容量やセルライブラリの電流データに依存しないため、実配線の負荷容量や実配線の抵抗容量の情報がなくても算出することができる。このため、製造プロセスを変更した場合や、動作周波数、電源電圧などの動作条件を変更した場合、さらにソフトマクロライブラリのようにレイアウトの形状を変更する場合があっても、テストパターンを与え直して消費電流をシミュレーションしなおす必要がないので、集積回路の開発工数が削減される。

【0212】第2の論理回路の遅延計算装置において、消費電流計算手段が、接続情報に含まれる論理関数を用いて一の論理値から他の論理値に移移する論理値の移移確率を算出し、移移確率、配線抵抗、配線容量及びスタンダードセルの消費電流データを用いて集積回路の消費電流を算出すると、製造プロセスを変更した場合や、動作周波数、電源電圧などの動作条件を変更した場合、さらにソフトマクロライブラリのようにレイアウトの形状を変更する場合があってもテストパターンを与え直して消費電流をシミュレーションしなおす必要がないので、集積回路の開発工数が削減される。

【0213】第2の論理回路の遅延計算装置において、実効電源電圧計算手段の今回の計算結果と記憶した計算結果との差が所定範囲に収まるか否かを判定し、所定範囲に収まらない場合は、該所定範囲に収まるまで消費電流計算手段と実効電源電圧計算手段とを繰り返す収束条件判定手段を備えていると、相互に依存関係の強い回路の消費電流と実効電源電圧とを再帰的なループを形成して計算するため、遅延時間の計算精度をさらに向上させることができる。

【0214】第1又は第2の論理回路の遅延計算装置において、FETがPチャネルMOSFETであると、ドレイン飽和電流の電源電圧依存性はPチャネルMOSFETの方がNチャネルMOSFETよりも大きいので、遅延時間の電源電圧依存性がドレイン飽和電流に対する電源電圧の比の値にほぼ一致する。これにより、電源電圧が印加されたときの遅延時間の電源電圧依存性を確実に求めることができる。

【0215】第1又は第2の論理回路の遅延計算装置において、FETのドレイン飽和電流が、電源電圧とFETのしきい値電圧との差を所定の係数で累乗し、累乗して得られた値に電流の利得係数を乗じることにより求められると、FETのドレイン飽和電流が確実に算出される。

【0216】本発明に係る遅延ライブラリの遅延データ計算方法によると、第1の電源電圧に対する第2の電源電圧の比の値である電源電圧係数を定義する電源電圧係数定義工程と、第2の電源電圧が印加されたときのFETのドレイン飽和電流に対する第1の電源電圧が印加されたときのFETのドレイン飽和電流の比の値である電



流係数を定義する電流係数定義工程と、第1の電源電圧が印加されたときの論理回路の遅延時間である第1の遅延時間を定義する第1の遅延時間定義工程と、第1の遅延時間と電源電圧係数と電流係数との積を算出することにより、第2の電源電圧が印加されたときの論理回路の遅延時間である第2の遅延時間を決定し、該第2の遅延時間を遅延データとする遅延データ決定工程とを備えているため、電源電圧とFETのドレイン飽和電流との関係を決めると、セルライブラリから第1の電源電圧で抽出された遅延データを用いて、論理回路の遅延時間の電源電圧依存性を容易に且つ解析的に求めることができる。このため、遅延データの抽出時間を短縮することができるので、セルライブラリを短期間で開発することができる。

【0217】本発明に係る遅延ライブラリの遅延データ計算方法によると、FETがPチャネルMOSFETであると、ドレイン飽和電流の電源電圧依存性はPチャネルMOSFETの方がNチャネルMOSFETよりも大きいので、遅延時間の電源電圧依存性がドレイン飽和電流に対する電源電圧の比の値にほぼ一致する。これにより、電源電圧が印加されたときの遅延時間の電源電圧依存性を確実に求めることができる。

【0218】本発明に係る遅延ライブラリの遅延データ計算方法によると、FETのドレイン飽和電流を、電源電圧とFETのしきい値電圧との差を所定の係数で累乗し、累乗して得られた値に電流の利得係数を乗じることにより求めるため、FETのドレイン飽和電流を確実に求めることができる。

【図面の簡単な説明】

【図1】本発明に係る基本CMOSゲートの遅延時間の電源電圧依存性を示すグラフ図である。

【図2】本発明に係る3000ゲート相当の回路ブロック及び4KBのスタティックRAM回路の遅延時間の電源電圧依存性を示すグラフ図である。

【図3】本発明の第1の実施形態に係る論理回路の遅延計算装置の動作フローを示す図である。

【図4】本発明の第1の実施形態に係る論理回路の遅延計算装置における遅延電源係数を決定する動作フロー図である。

【図5】本発明の第1の実施形態に係る論理回路の遅延計算装置における遅延電源係数を決定する動作フロー図である。

【図6】本発明の第2の実施形態に係る論理回路の遅延計算装置が遅延計算の対象とする集積回路の構成図である。

【図7】本発明の第2の実施形態に係る論理回路の遅延計算装置の動作フローを示す図である。

【図8】本発明の第3の実施形態に係る論理回路の遅延計算装置が遅延計算の対象とする集積回路の回路図である。

【図9】本発明の第3の実施形態に係る論理回路の遅延計算装置が遅延計算の対象とする集積回路の第1の等価回路図である。

【図10】本発明の第3の実施形態に係る論理回路の遅延計算装置が遅延計算の対象とする集積回路の第2の等価回路図である。

【図11】(a)は本発明の第3の実施形態に係る論理回路の遅延計算装置が遅延計算の対象とする集積回路のレイアウト図である。(b)は本発明の第3の実施形態に係る論理回路の遅延計算装置が遅延計算の対象とする集積回路の等価回路図である。

【図12】本発明の第3の実施形態に係るVDD線及びVSS線の配線幅と実効電源電圧との関係を表わすグラフ図である。

【図13】本発明の第3の実施形態に係るVDD線及びVSS線の配線幅と遅延時間の相対値との関係を表わすグラフ図である。

【図14】本発明の第3の実施形態に係る論理回路の遅延計算装置の動作フローを示す図である。

【図15】(a)は本発明の第3の実施形態に係る論理回路の一例である全加算器を示す回路図である。(b)及び(c)は本発明の第3の実施形態に係る論理回路の一例である全加算器の真理値表を示す図である。

【図16】本発明の第4の実施形態に係る論理回路の遅延計算装置の動作フローを示す図である。

【図17】本発明の第4の実施形態に係る論理回路の遅延計算装置における動的な消費電流を算出する詳細フローを示す図である。

【図18】本発明の第4の実施形態に係る論理回路の遅延計算装置における論理素子の消費電流の計算方法と遅延時間の補正方法とを説明する図である。

【図19】(a)は本発明の第4の実施形態に係る論理回路の遅延計算装置におけるセル消費電流データの一例を示す図である。(b)は本発明の第4の実施形態に係る論理回路の遅延計算装置におけるセル消費電流波形を示す図である。

【図20】本発明の第5の実施形態に係る論理回路の遅延計算装置の動作フローを示す図である。

【図21】本発明の第6の実施形態に係る論理回路の遅延計算装置が遅延計算の対象とする集積回路のレイアウト図である。

【図22】本発明の第6の実施形態に係る論理回路の遅延計算装置が遅延計算の対象とする集積回路の等価回路図である。

【図23】本発明の第6の実施形態に係る論理回路の遅延計算装置の動作フローを示す図である。

【図24】本発明の第7の実施形態に係る遅延ライブラリの遅延データの計算方法を示すフロー図である。

【符号の説明】

1 2入力NANDゲート

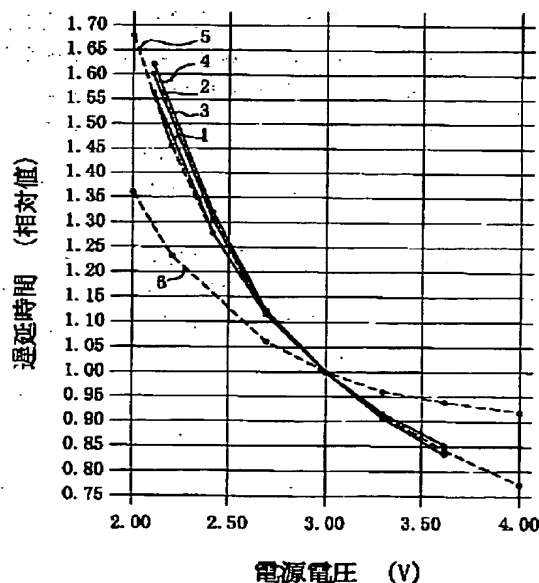
2	2入力NORゲート	S33B	ドレイン飽和電流決定工程
3	4入力NANDゲート	S34	遅延電源係数決定工程
4	4入力NORゲート	S04	実効遅延計算工程
5	PチャネルMOSFETのドレイン飽和電流 に対する電源電圧の比	50	集積回路
6	NチャネルMOSFETのドレイン飽和電流 に対する電源電圧の比	50a	回路ブロック
7	論理ブロック	50b	高速動作回路ブロック
8	スタティックRAM	50c	低消費電力回路ブロック
9	PチャネルMOSFETのドレイン飽和電流 に対する電源電圧の比	50d	入出力回路ブロック
1.0	NチャネルMOSFETのドレイン飽和電流 に対する電源電圧の比	51	第1のVDD端子
1.1	レイアウトデータ	52	第2のVDD端子
1.2	配線パラメータ	53	第1のVSS端子
1.3	回路接続情報	54	第2のVSS端子
1.4	セル遅延データ	55	第1のVDD線
1.5	動作電源電圧データ	56	第2のVDD線
1.6	飽和電流パラメータ	57	第1のVSS線
1.7	回路ブロック動作電源電圧データ	58	第2のVSS線
1.8	レイアウトデータ	61	第1の回路ブロック
1.9	回路活性化率データ	62	第2の回路ブロック
2.0	セル消費電流データ	63	第3の回路ブロック
2.1	電源電圧初期値	64	第4の回路ブロック
S01	信号配線抽出工程	I61	第1の回路ブロックの平均消費電流
S10	電源(VDD・VSS)配線寄生素子抽出工 程	I62	第2の回路ブロックの平均消費電流
S11	消費電流計算工程	I63	第3の回路ブロックの平均消費電流
S200	動的消費電流計算工程	I64	第4の回路ブロックの平均消費電流
S201	回路遅延判定工程	G1	第1のNANDゲート
S202	VDD線消費電流波形計算工程	G2	第1のNAND-OR複合ゲート
S203	VSS線消費電流波形計算工程	G3	EX-NORゲート
S204	実効消費電流計算工程	G4	第2のNAND-OR複合ゲート
S11.1	ブロックレベル消費電流計算工程	G5	第2のNANDゲート
S11.2	チップレベル消費電流計算工程	G6	第3のNANDゲート
S12	電源(VDD・VSS)配線電圧変動計算工 程	a	ノード
S12.1	チップレベルVDD・VSS配線電圧変動計 算工程	b	ノード
S12.2	ブロックレベルVDD・VSS配線電圧変動 計算工程	c i	ノード
S13	実効電源電圧計算工程	c o	ノード(中間格上げ)
S14	収束条件判定工程	s	ノード(中間和)
L14	計算ループ手段	u	ノード
S02	遅延計算工程	v	ノード
S03	遅延電源係数決定工程	w	ノード
S03A	遅延電源係数決定工程	x	ノード
S31	動作電源電圧決定工程	71	第1のVDD端子
S32	指数決定工程	711	第1のブロック用VDD端子
S33A	ドレイン飽和電流決定工程	712	第2のブロック用VDD端子
		713	第3のブロック用VDD端子
		714	第4のブロック用VDD端子
		72	第2のVDD端子
		721	第5のブロック用VDD端子
		722	第6のブロック用VDD端子
		723	第7のブロック用VDD端子
		724	第8のブロック用VDD端子
		73	第1のVSS端子



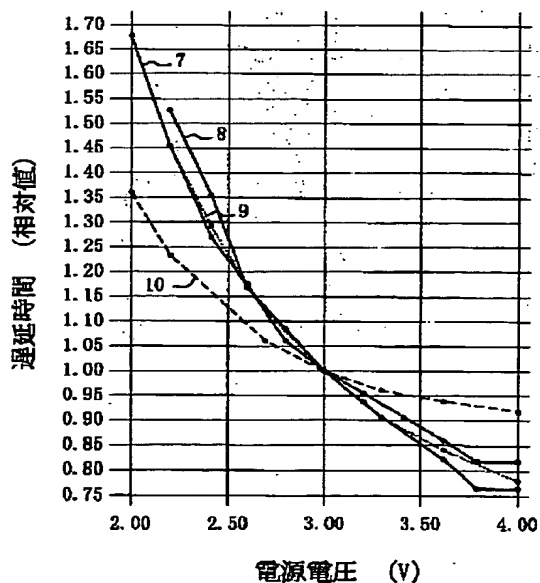
731 第1のブロック用VDD端子  
 732 第2のブロック用VDD端子  
 733 第3のブロック用VDD端子  
 734 第4のブロック用VDD端子  
 74 第2のVSS端子  
 741 第5のブロック用VDD端子  
 742 第6のブロック用VDD端子  
 743 第7のブロック用VDD端子  
 744 第8のブロック用VDD端子  
 75 第1のVDD線  
 76 第2のVDD線  
 77 第1のVSS線  
 78 第2のVSS線  
 79 第1のブロック内VDD線  
 80 第2のブロック内VDD線  
 81 第1のブロック内VDD線  
 82 第2のブロック内VDD線  
 91A 第1の回路ブロック  
 91.1 第1のスタンダードセル  
 91.2 第2のスタンダードセル  
 91.3 第3のスタンダードセル  
 91.4 第4のスタンダードセル  
 91B 第1の回路ブロックの第1の等価回路  
 91C 第1の回路ブロックの第2の等価回路  
 92A 第2の回路ブロック  
 92B 第2の回路ブロックの等価回路  
 93A 第3の回路ブロック  
 93B 第3の回路ブロックの等価回路  
 94A 第4の回路ブロック

94B 第4の回路ブロックの等価回路  
 I91 第1の回路ブロックの第1の等価回路の平均消費電流  
 I92 第2の回路ブロックの等価回路の平均消費電流  
 I93 第3の回路ブロックの等価回路の平均消費電流  
 I94 第4の回路ブロックの等価回路の平均消費電流  
 I911 第1のスタンダードセルの平均消費電流  
 I912 第2のスタンダードセルの平均消費電流  
 I913 第3のスタンダードセルの平均消費電流  
 I914 第4のスタンダードセルの平均消費電流  
 171A 5mAの曲線  
 172A 10mAの曲線  
 173A 15mAの曲線  
 174A 20mAの曲線  
 171B 5mAの曲線  
 172B 10mAの曲線  
 173B 15mAの曲線  
 174B 20mAの曲線  
 D001 基準電源電圧遅延データ  
 D002 飽和電流パラメータ  
 D003 遅延データ  
 S001 動作電源電圧設定工程  
 S002 指数決定工程  
 S003 ドレイン飽和電流決定工程  
 S004 遅延電圧係数計算工程  
 S005 遅延データ決定工程

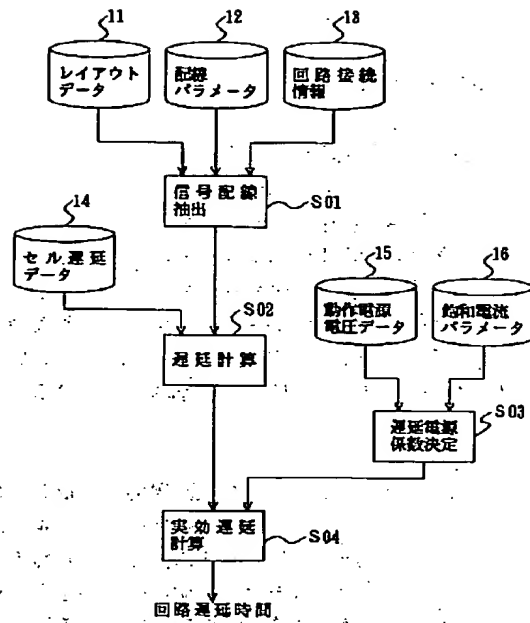
【図1】



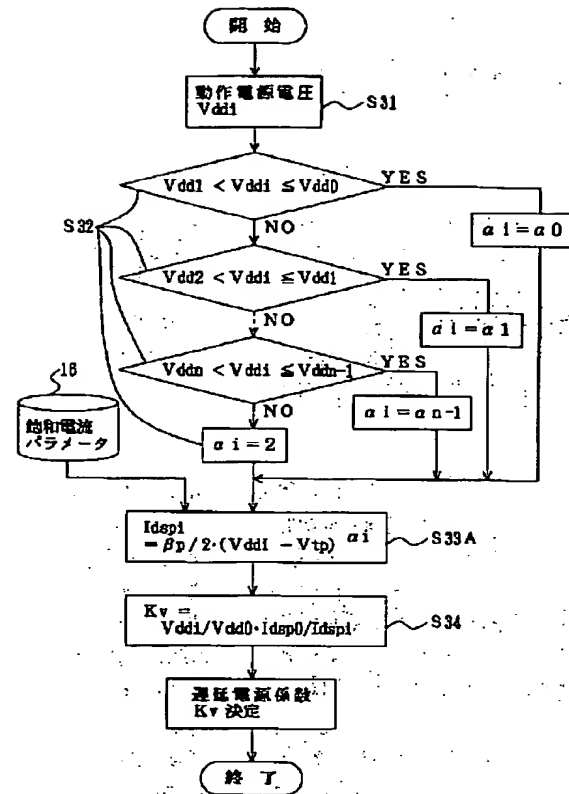
【図2】



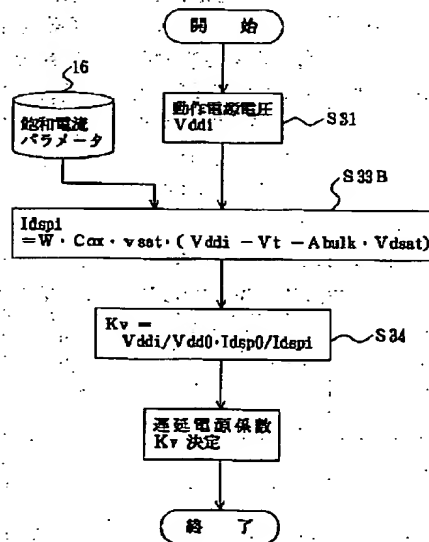
【図3】



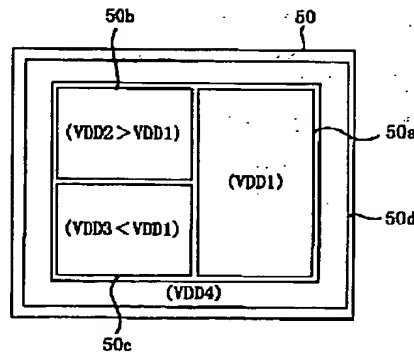
【図4】



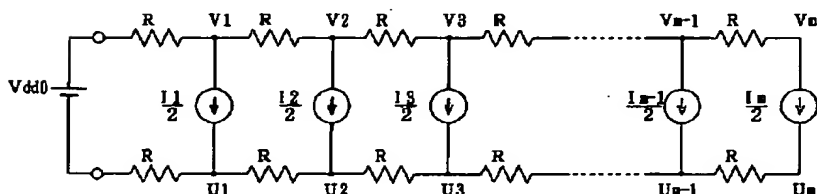
【図5】



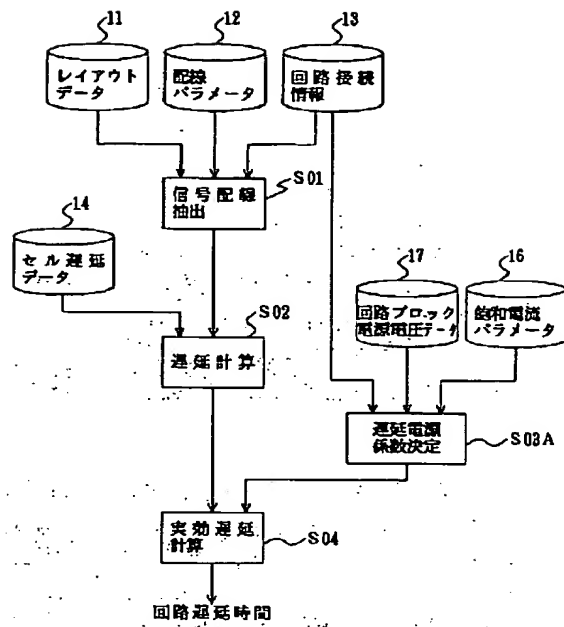
【図6】



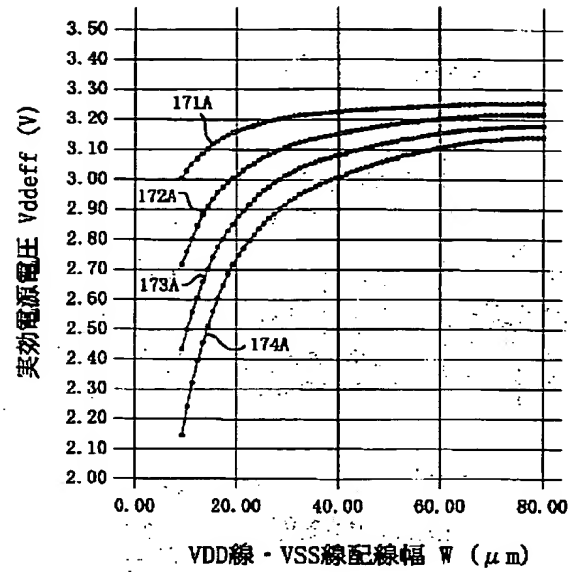
【図10】



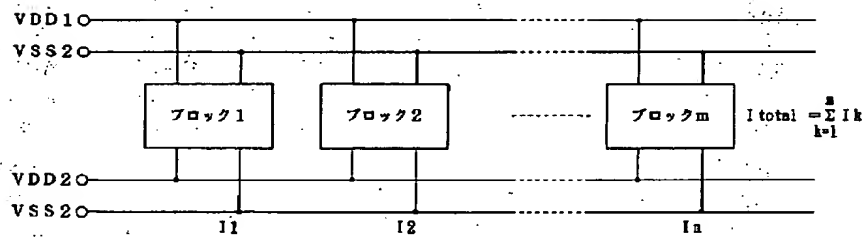
【図7】



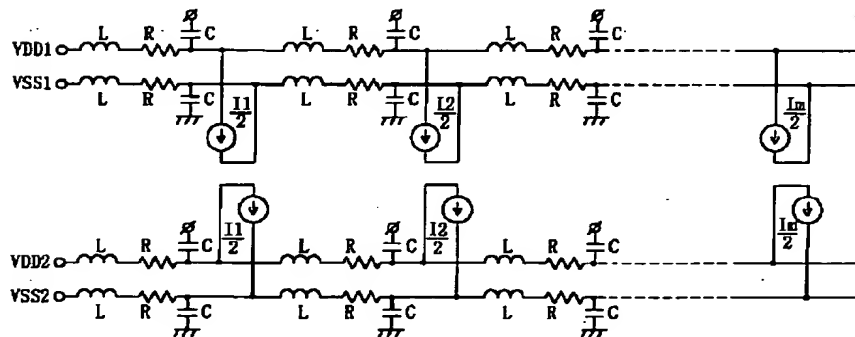
【図12】



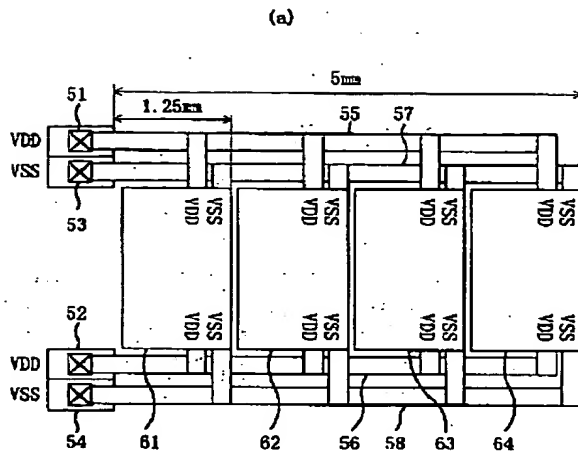
【図8】



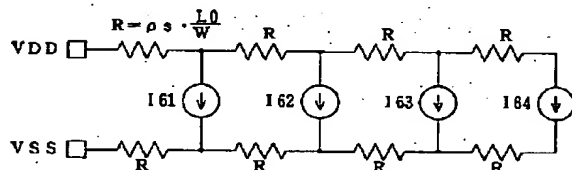
【図9】



【図11】



(b)

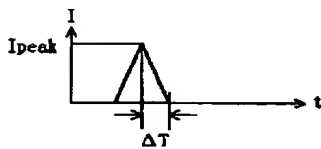


【図19】

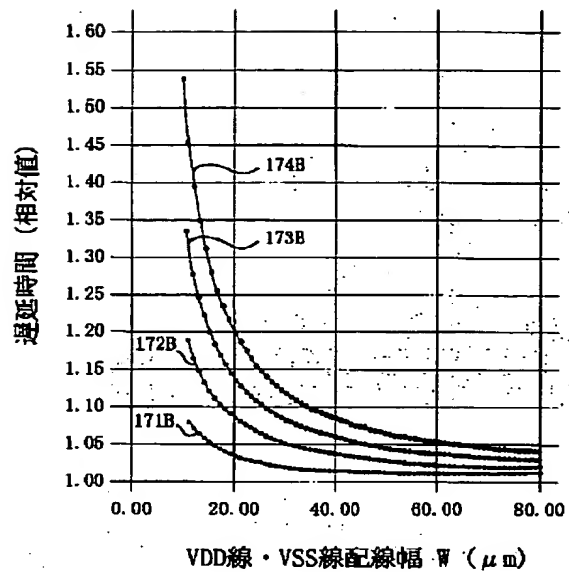
(a)

RC	I <sub>peak</sub>	$\Delta T$
0.1ps	1mA	20ps
0.5ps	1.2mA	50ps
1.0ps	1.3mA	80ps

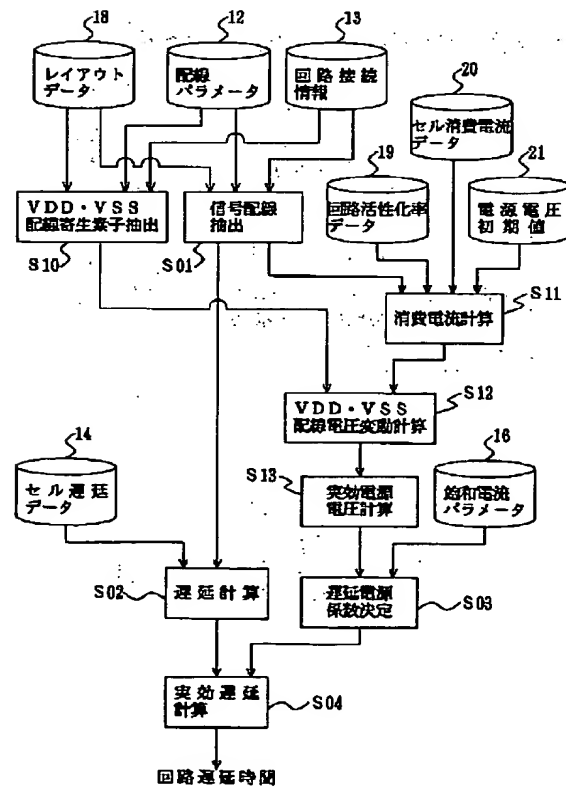
(b)



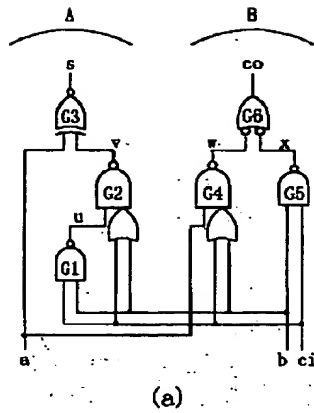
【図13】



【図14】



【図15】



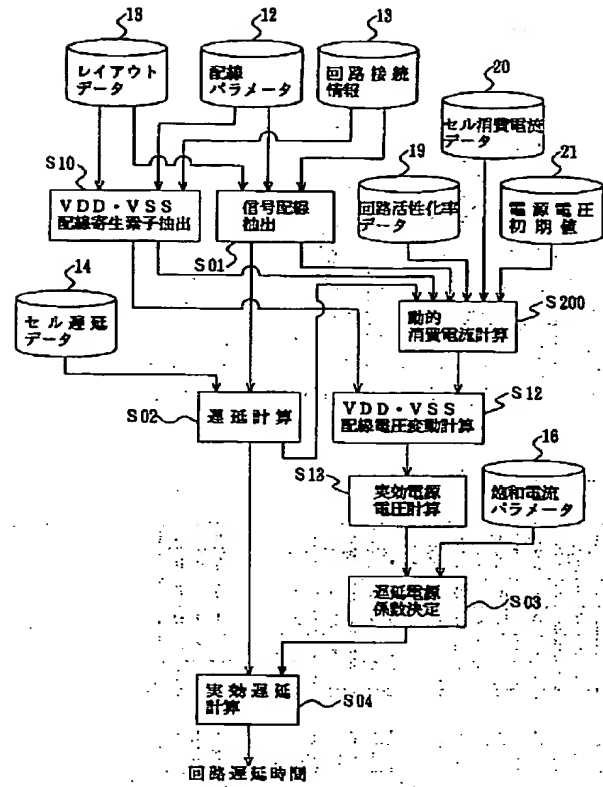
a	b	ci	v	w	s
0	0	0	1	1	0
0	0	1	1	0	1
0	1	0	1	0	1
0	1	1	0	1	0
1	0	0	1	1	1
1	0	1	1	0	0
1	1	0	1	0	0
1	1	1	0	1	1

(b)

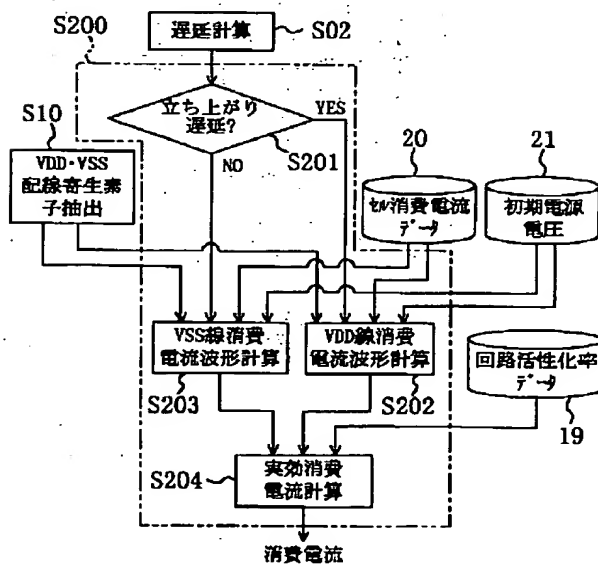
a	b	ci	w	x	co
0	0	0	1	1	0
0	0	1	1	1	0
0	1	0	1	1	0
0	1	1	0	1	1
1	0	0	1	1	0
1	0	1	1	0	1
1	1	0	1	0	1
1	1	1	0	0	1

(c)

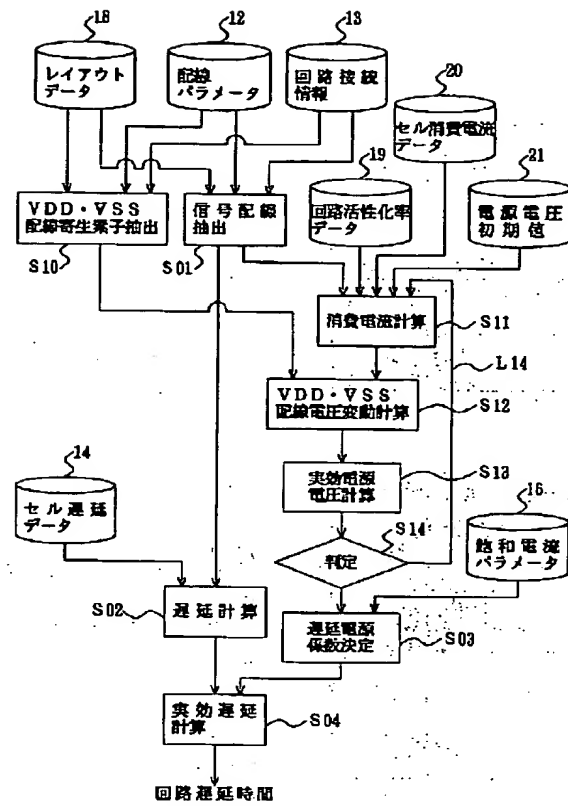
【図16】



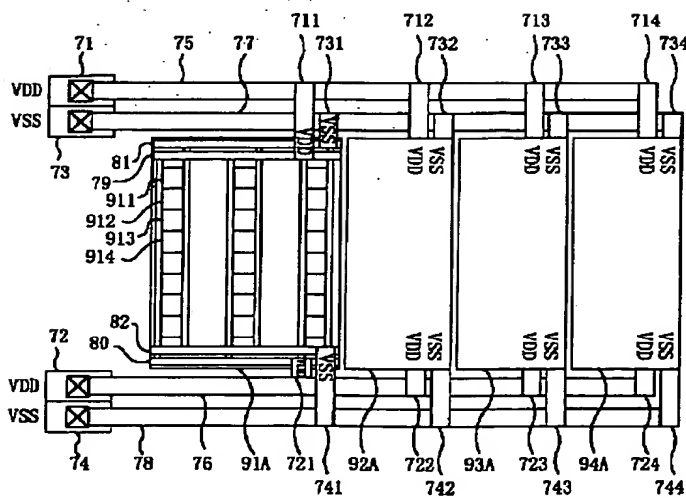
【図17】



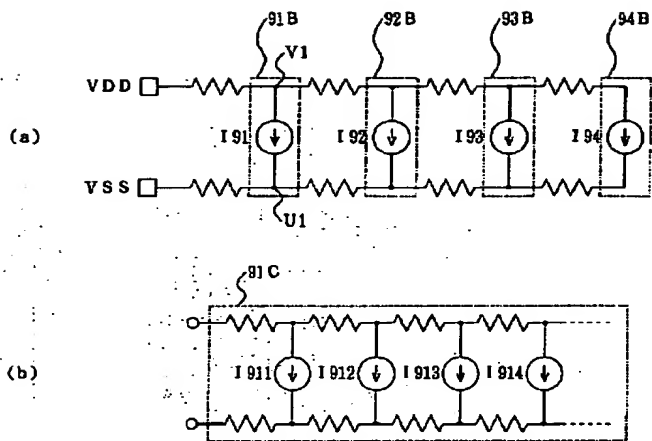
【図20】



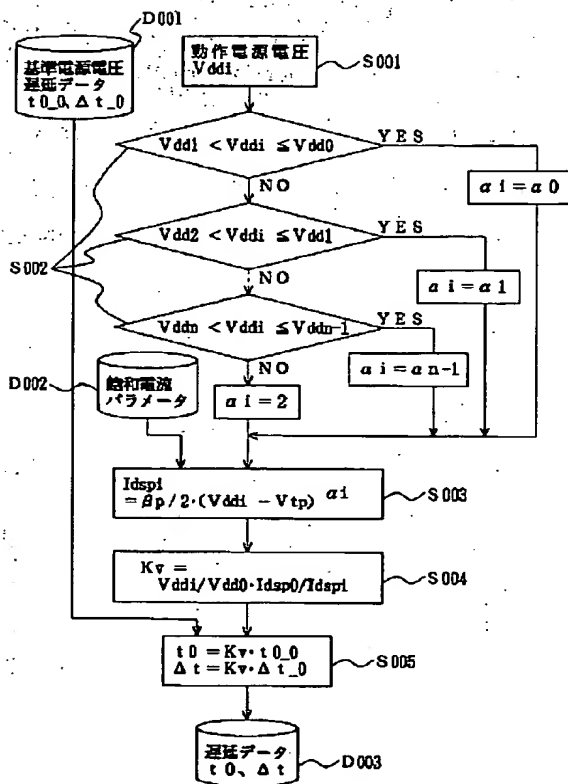
【图 21】



【図22】



【図24】



【図23】

